

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年12月27日

出 願 番 号
Application Number:

特願2000-399579

出 願 人
Applicant(s):

シャープ株式会社

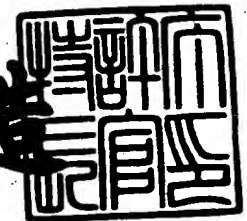
CERTIFIED COPY OF
PRIORITY DOCUMENT

Best Available Copy

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3014840

【書類名】 特許願

【整理番号】 00J04743

【提出日】 平成12年12月27日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G09G 3/36
G02F 1/133 550

【発明の名称】 画像表示装置

【請求項の数】 20

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 海瀬 泰佳

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 鷲尾 一

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 久保田 靖

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 前田 和宏

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003082

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素と、該画素の各列に配置された複数のデータ信号線及び該画素の行に対応して配置された走査信号線とを有し、各走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のためのデータを供給される表示部と、

該複数のデータ信号線に所定のタイミング信号に同期して映像信号を出力する、同一のデータ信号線に接続された複数のデータ信号線駆動回路と、

該複数の走査信号線に所定のタイミング信号に同期して走査信号を出力する走査信号線駆動回路とを備え、

上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、

所定のタイミングで動作するシフトレジスタ部と、

そのシフトレジスタ出力に応じて別途入力される 2 値データ信号をサンプリングして保持するデータ保持部と、

その保持された 2 値データ信号に応じて、点灯用電位と非点灯用電位との 2 値データ電位を切りかえるデータ切替部と、

そのデータ切替部の出力とデータ信号線との間に設けられ、外部から入力される転送指示信号によって上記データ切替部の出力制御を行う出力制御部とを備えた 2 値データ信号線駆動回路であることを特徴とする画像表示装置。

【請求項 2】

上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路において、データ信号線への出力が複数のデータ信号線に接続されていることを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】

上記複数のデータ信号線駆動回路は、データ信号線への出力タイミングが互いに重ならないことを特徴とする請求項 1 または 2 記載の画像表示装置。

【請求項 4】

上記転送指示信号を水平帰線期間中にアクティブにし、一括して点灯用電位または非点灯用電位を供給することを特徴とする請求項 1 ないし 3 のいずれかに記載の画像表示装置。

【請求項 5】

上記複数のデータ信号線駆動回路のうち、表示するデータが供給されないほうは、駆動を停止させることを特徴とする請求項 1 ないし 4 のいずれかに記載の画像表示装置。

【請求項 6】

上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、

上記シフトレジスタ部のタイミング信号の入力部と前記データ保持部の 2 値データ信号入力部とにレベルシフタを設け、

上記データ保持部が、そのレベルシフタで昇圧されたタイミング信号によるシフトレジスタ出力に応じて前記 2 値データ信号をサンプリング後、保持することを特徴とする請求項 1 ないし 5 のいずれかに記載の画像表示装置。

【請求項 7】

上記レベルシフタが、上記シフトレジスタの出力信号がアクティブの間のみ動作することを特徴とする請求項 6 記載の画像表示装置。

【請求項 8】

上記レベルシフタが電流駆動型であることを特徴とする請求項 6 または 7 記載の画像表示装置。

【請求項 9】

上記レベルシフタが、動作のオンオフを切り替えるための入力スイッチング素子を有しており、上記入力スイッチング素子が、その入力スイッチング素子が遮断するレベルの信号を入力されることによって、上記レベルシフタが動作を停止することを特徴とする請求項 6 ないし 8 のいずれかに記載の画像表示装置。

【請求項 10】

上記レベルシフタが、それへの電力供給を停止されることで、動作を停止する

ことを特徴とする請求項 6 ないし 9 のいずれかに記載の画像表示装置。

【請求項 1 1】

上記レベルシフタが、上記 2 値データ信号が入力されるトランジスタと、このトランジスタのゲート容量を上記 2 値データ信号の伝送線から切り離す入力制御部とを有していることを特徴とする請求項 6 ないし 1 0 のいずれかに記載の画像表示装置。

【請求項 1 2】

上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成するスイッチ素子は多結晶シリコン薄膜トランジスタからなることを特徴とする請求項 8 ないし 1 1 のいずれかに記載の画像表示装置。

【請求項 1 3】

上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成する各スイッチ素子が 6 0 0 度以下のプロセス温度で製造されることを特徴とする請求項 8 ないし 1 2 のいずれかに記載の画像表示装置。

【請求項 1 4】

上記転送指示信号が上記 2 値データ信号線駆動回路に入力される際に上記 2 値データ電位の電位の変動を抑制する 2 値データ電位安定部を有することを特徴とする請求項 1 ないし 1 3 のいずれかに記載の画像表示装置。

【請求項 1 5】

上記 2 値データ電位安定部が、上記 2 値データ信号線駆動回路に上記 2 値データ電位を供給する 2 値データ電位供給線から電荷を受け取って保持する電荷保持部と、上記電荷保持部で保持される電荷量を抵抗値にて決定する電流制御部とを備えたことを特徴とする請求項 1 4 記載の画像表示装置。

【請求項 1 6】

上記 2 値データ電位安定部が、上記 2 値データ信号線駆動回路に上記 2 値データ電位を供給する 2 値データ電位供給線から電荷を受け取って保持する電荷保持部と、1 水平走査期間ごとに極性反転しながら上記電荷保持部に入力されて保持される電荷量を、画面表示の 1 水平走査期間の周波数より大きい遮断周波数を持つことで決定する周波数制御部とを備えたことを特徴とする請求項 1 4 記載の画

像表示装置。

【請求項 1 7】

上記電荷保持部が保持する電荷の容量が、少なくとも上記複数のデータ信号線の総容量よりも大きいことを特徴とする請求項 1 4 ないし 1 6 のいずれかに記載の画像表示装置。

【請求項 1 8】

上記電流制御部と上記電荷保持部との時定数は、2 値データ信号線駆動回路以外のデータ信号線駆動回路から供給される映像信号の上記表示部での表示期間内に上記 2 値データ電位を十分な電位に安定させる程度の値をとることを特徴とする請求項 1 4 ないし 1 7 のいずれかに記載の画像表示装置。

【請求項 1 9】

上記 2 値データ信号線駆動回路が、水平帰線期間中であって転送指示信号がオフのときに、データ信号線の電位を、上記 2 値データ信号線駆動回路以外のデータ信号線駆動回路における、今回の水平有効期間のデータに対するデータ信号線の電位と次の水平有効期間のデータに対するデータ信号線の電位との中間の電位であるプリチャージ電位にすることを特徴とする請求項 1 ないし 1 8 のいずれかに記載の画像表示装置。

【請求項 2 0】

上記 2 値データ信号線駆動回路が、上記 2 値データ電位と所定の基準電位との差を上記データ信号線に画像データとして供給し、この基準電位を、上記プリチャージ電位として用いることを特徴とする請求項 1 9 記載の画像表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、データ信号線駆動回路や走査信号線駆動回路等の駆動回路を備えた画像表示装置に関するものである。

【0 0 0 2】

【従来の技術】

本発明の対象技術である画像表示装置の例として、ここではアクティブマトリ

ックス型液晶表示装置について述べる。ただし、本発明はこれに限定されるものでなく、他の画像表示装置についても有効である。

【 0 0 0 3 】

従来の画像表示装置の一つとして、アクティブマトリックス駆動方式の液晶表示装置が知られている。この画像表示装置は図 4 0 に示すように、画素アレイと走査信号線駆動回路 G D とデータ信号線駆動回路 S D とからなっている。画素アレイには互いに交差する多数の走査信号線 G L と多数のデータ信号線 S L とを備えており、隣接する 2 走査信号線 G L と隣接する 2 データ信号線で包囲された部分に画素 P I X がマトリクス状に設けられている。データ信号線駆動回路 S D は、クロック信号 S C K 等のタイミング信号に同期して、入力された映像信号 D A T をサンプリングし、必要に応じて増幅して、各データ信号線 S L に書きこむ働きをする。

【 0 0 0 4 】

図 4 0 における画素 P I X は、図 4 1 に示すように、スイッチング素子である電界効果型のトランジスタからなるスイッチ素子 S W と、画素容量（液晶容量 C L 及び必要に応じて付加される補助容量 C S よりなる）とによって構成される。図 4 1 において、スイッチ素子 S W のドレイン及びソースを介してデータ信号線 S L と画素容量の一方の電極とが接続され、スイッチ素子 S W のゲートは走査信号線 G L に接続され、画素容量の他方の電極は全画素共通の共通電極線に接続されている。そして、各液晶容量 C L に印加される電圧により、液晶の透過率または反射率が変調され、表示に共する。

【 0 0 0 5 】

次に、映像信号 D A T をデータ信号線に書き込む方式について述べる。データ信号線の駆動方法としては、アナログ方式とデジタル方式とがある。アナログ方式は中でも点順次駆動方法と線順次駆動方法とがある。また、デジタル方式の中でも、アンプを具備するものとアンプを具備しないものとがある。

【 0 0 0 6 】

図 4 2 は、点順次方式のデータ信号線駆動回路である。点順次駆動方式では、同図に示すように、映像信号線（D A T L I N E とする）に入力された映像信号

DATを、複数のフリップフロップ回路FFからなるシフトレジスタの各ラッチ段の出力パルスN（すなわち、N1、N2…）に同期させてサンプリング回路としてのアナログスイッチASWを開閉することにより、データ信号線SL（すなわちSL1、SL2、…）に書きこむ。ここで、同図の構成では、隣接する2個のフリップフロップ回路FFの出力信号Nの重なりパルスからサンプリング信号S、SB（すなわちS1、S2、…、S1B、S2B、…）を生成しており、サンプリング信号の立ち下り（終端）のタイミングにおける映像信号DATがデータ信号線SLに書きこまれることになる。

【0007】

また、図43は、線順次方式のデータ信号線駆動回路の例である。線順次駆動方式では、同図に示すように、映像信号線（DATLINEとする）に入力された映像信号DATを、複数のフリップフロップ回路FFからなるシフトレジスタの各ラッチ段の出力パルスNに同期させてサンプリングのためのアナログスイッチASWを開閉することにより取り込んだ後、1水平走査期間分の信号を同時に次段に転送し、アンプAMを介して、データ信号線SLに書きこむ。

【0008】

また、図44は、アンプを具備にしないデジタル方式のデータ信号線駆動回路の例である。この方式では、デジタル映像信号線（DIGLINEとする）に入力されたデジタル映像信号DIGを、複数のフリップフロップ回路FFからなるシフトレジスタの各ラッチ段の出力パルスNに同期させてフリップフロップ回路LTに取り込んだあと、1水平走査期間分の信号を同時に次段に転送し、デジタルアナログ変換回路DAによりアナログ信号に変換して、データ信号線SLに書きこむ。

【0009】

また、図45はアンプAMPを具備するデジタル方式のデータ信号線駆動回路の例である。この方式では、デジタル映像信号線DIGLINEに入力されたデジタル映像信号DIGを複数のフリップフロップ回路FFからなるシフトレジスタの各ラッチ段の出力パルスNに同期させてフリップフロップ回路LTに取り込んだあと、1水平走査期間分の信号を同時に次段に転送し、デジタルアナログ変

換回路DAによりアナログ信号に変換し、さらにアンプAMで増幅して、データ信号線SLに書きこむ。

【0010】

図46は、走査信号線駆動回路の例である。同図に示すように、走査信号線駆動回路においては、クロック信号GCKに同期して転送されるパルス信号とパルス幅を規定する信号GENとの積（AND）信号により走査信号として走査信号線GL（すなわちGL1、GL2、…）に出力する。上述のようにこの走査信号により映像信号の画素への書き込み及び保持を制御するものである。

【0011】

また、多階調画像上にテキストや図形のような2値で表示されるような画像を合成して表示する場合、多階調データを記憶している多階調データ格納部と2値の画像データを格納する2値データ格納部とさらにそれを合成した画像データを格納する合成データ格納部が必要となり、そこで合成されたデータが画像データとしてデータ信号線駆動回路SDに入力される。

【0012】

【発明が解決しようとする課題】

ところで、従来の画像表示装置においては、図40のように、データ信号線駆動回路や走査信号線駆動回路はそれぞれ1組ずつ配置されているのが一般的である。したがって、表示する映像のフォーマットは1種類に限定されることが多い。複数のフォーマットの映像を表示可能な画像表示装置も存在するが、それは外部回路で表示装置に入力する信号（制御信号や映像信号）を変換しているに過ぎず、表示装置自体の駆動はほとんど同じである。すなわち、どのようなフォーマットの映像を表示する場合においても、同一の回路（データ信号線駆動回路および走査信号線駆動回路）が動作するので消費電力はほとんど変わらない。

【0013】

ところで、近年、携帯機器の使用可能長時間化の要求に伴い、表示装置に対しても低消費電力化の要求が強くなっている。ここで、携帯機器においては、常に使用状態にあるとは限らず、その大部分の時間が待機状態であることが多い。また、使用時と待機時とでは、表示する映像やフォーマットが異なることが多い。

例えば、待機時には、メニュー画面や時刻など表示できればよく、精細度や表示色数などは低くてもよい場合がある。むしろ、低消費電力化による使用時間の長時間化が重要である。一方、使用時には、大量の文章や図形、写真などの画像を表示することが多く、高品位の表示が求められる。このときには、携帯機器のほかの部分（例えば、通信モジュールや入力インターフェイス部、演算処理部など）で消費電力が大きくなるので、表示モジュールでの消費電力の比率が小さくなる。したがって、使用時における低消費電力化への要求は待機時ほど強くないのが一般的である。

【 0 0 1 4 】

また、駆動回路が1つしかない従来構成においては、画像表示装置に複数の画像データを重ねて表示させようとする場合、予め合成した画像データとして、画像表示装置に入力する必要がある。そのため、外部に複数の画像を合成する画像処理回路を設ける必要がある。

【 0 0 1 5 】

本発明は、上記問題点に鑑みなされたものであり、その目的は、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供することにある。また、複数の画像データを、予め合成することなく、重ねて表示することが可能な画像表示装置を提供することにある。

【 0 0 1 6 】

【課題を解決するための手段】

上記の課題を解決するため、本発明の画像表示装置は、マトリクス状に配置された複数の画素と、該画素の各列に配置された複数のデータ信号線及び該画素の行に対応して配置された走査信号線とを有し、各走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のためのデータを供給される表示部と、該複数のデータ信号線に所定のタイミング信号に同期して映像信号を出力する、同一のデータ信号線に接続された複数のデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して走査信号を出力する走査信号線駆動回路とを備え、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、所定のタイミングで動作するシフトレジスタ部

と、そのシフトレジスタ出力に応じて別途入力される 2 値データ信号をサンプリングして保持するデータ保持部と、その保持された 2 値データ信号に応じて、点灯用電位と非点灯用電位との 2 値データ電位を切りかえるデータ切替部と、そのデータ切替部の出力とデータ信号線との間に設けられ、外部から入力される転送指示信号によって上記データ切替部の出力制御を行う出力制御部とを備えた 2 値データ信号線駆動回路であることを特徴としている。

【 0 0 1 7 】

この構成においては、上記複数のデータ信号線駆動回路の少なくとも一つは、2 値のデータ信号に応じて、外部から供給される 2 値データ電位（点灯用電位または非点灯用電位）を決定し、所定の期間内に外部からのタイミング信号に応じて上記 2 値データ電位をデータ信号線に供給する 2 値データ信号線駆動回路を備えている。

【 0 0 1 8 】

上記の構成により、出力制御部によって、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路においては、2 値データ信号線駆動回路（B I N S D）として、2 値データ電位をデータ信号線に供給するか否かが制御される。例えば、上記出力制御部は、データ保持部で保持されて出力される 2 値データ信号が有意な場合に、データ信号線に点灯用電位または非点灯用電位を供給するようにすることができる。また、他の少なくとも一つのデータ信号線駆動回路（例えばアナログデータ信号線駆動回路（S D））は、これとは無関係にデータ供給・表示を行う。したがって、例えば携帯電話の待機時のように 2 値のテキストデータのみ表示できればよい場合は、2 値データ信号線駆動回路 B I N S D のみを駆動するようにすれば、他方のデータ信号線駆動回路（例えばアナログデータ信号線駆動回路 S D）の分だけ消費電力を抑えることができる。それゆえ、使用時と待機時とでそれぞれの要求に合った駆動ができ、低消費電力化が可能になる。

【 0 0 1 9 】

すなわち、2 値データ信号線駆動回路 B I N S D でのみデータ信号線を駆動することとし、このとき、他方のデータ信号線駆動回路（例えばアナログデータ信

号線駆動回路SD) に対してスタート信号SP、クロック信号CKおよび映像信号DATを停止させることにより、使用時と待機時とでそれぞれの要求に合った駆動が可能になる。

【0020】

また、上記他方のデータ信号線駆動回路（例えばアナログデータ信号線駆動回路SD）では多階調の画像データを表示し、そこへ、2値データ信号線駆動回路BINS Dにて2階調の画像データを供給して部分的に上書きすることが可能になる。それゆえ、表示複数の画像データを、予め合成することなく、重ねて表示することが可能になる。

【0021】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路において、データ信号線への出力が複数のデータ信号線に接続されていることを特徴としている。

【0022】

上記の構成により、複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路において、データ信号線への出力が複数のデータ信号線に接続されている。したがって、そのデータ信号線駆動回路では他方のデータ信号線駆動回路より低い周波数で駆動する。それゆえ、上記の構成による効果に加えて、さらに低消費電力化することができる。

【0023】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路は、データ信号線への出力タイミングが互いに重ならないことを特徴としている。

【0024】

上記の構成により、上記複数のデータ信号線駆動回路は、データ信号線への出力タイミングが互いに重ならない。したがって、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することがない。それゆえ、上記の構成による効果に加えて、いっそう良好な表示を得ることができる。

【0025】

また、本発明の画像表示装置は、上記の構成に加えて、上記転送指示信号を水平帰線期間中にアクティブにし、一括して点灯用電位または非点灯用電位を供給することを特徴としている。

【 0 0 2 6 】

上記の構成により、上記転送指示信号を水平帰線期間中にアクティブにし、一括して点灯用電位または非点灯用電位を供給する。したがって、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することがない。それゆえ、上記の構成による効果に加えて、いっそう良好な表示を得ることができる。

【 0 0 2 7 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路のうち、表示するデータが供給されないほうは、駆動を停止させることを特徴としている。

【 0 0 2 8 】

上記の構成により、上記複数のデータ信号線駆動回路のうち、表示するデータが供給されないほうは停止させる。したがって、そのデータ信号線駆動回路では他方のデータ信号線駆動回路と異なり電力を消費しない。それゆえ、上記の構成による効果に加えて、さらに低消費電力化することができる。

【 0 0 2 9 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、上記シフトレジスタ部のタイミング信号の入力部と前記データ保持部の2値データ信号入力部とにレベルシフタを設け、上記データ保持部が、そのレベルシフタで昇圧されたタイミング信号によるシフトレジスタ出力に応じて前記2値データ信号をサンプリング後、保持することを特徴としている。

【 0 0 3 0 】

上記の構成により、上記シフトレジスタ部のタイミング信号の入力部と前記データ保持部の2値データ信号入力部にレベルシフタを設ける。したがって、上記所定のタイミング信号と2値データ信号が電源電圧より低い電位を持つなどの原因により、データ信号線駆動回路を構成するシフトレジスタの駆動電圧より低い

入力信号が印加されるような場合でも、問題なく画素を駆動することができるので、低電圧の入力信号に対応できる。それゆえ、上記の構成による効果に加えて、より低い消費電力で良好に画像表示することができる。

【 0 0 3 1 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、上記シフトレジスタの出力信号がアクティブの間のみ動作することを特徴としている。

【 0 0 3 2 】

上記の構成により、上記レベルシフタが、上記シフトレジスタの出力信号がアクティブの間のみ動作する。したがって、レベルシフタが必要以外は停止する。それゆえ、上記の構成による効果に加えて、いっそう消費電力を削減することができる。

【 0 0 3 3 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが電流駆動型であることを特徴としている。

【 0 0 3 4 】

上記の構成により、レベルシフタが電流駆動型である。したがって、レベルシフタを構成するトランジスタの特性が低い場合でも、レベルシフタは動作が可能である。それゆえ、上記の構成による効果に加えて、いっそう消費電力を削減することができる。

【 0 0 3 5 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、動作のオンオフを切り替えるための入力スイッチング素子を有しており、上記入力スイッチング素子が、その入力スイッチング素子が遮断するレベルの信号を入力されることによって、上記レベルシフタが動作を停止することを特徴としている。

【 0 0 3 6 】

上記の構成により、レベルシフタの入力スイッチング素子が、遮断するレベルの信号を入力されることによって、レベルシフタが動作を停止する。したがって

、レベルシフタが動作を停止する際、入力スイッチング素子に電流が流れないようにすることができる。それゆえ、上記の構成による効果に加えて、レベルシフタを停止できるとともに、停止中、入力スイッチング素子に流れる電流分だけ、消費電力をいっそう低減することができる。

【 0 0 3 7 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、それへの電力供給を停止されることで動作を停止することを特徴としている。

【 0 0 3 8 】

上記の構成により、上記各レベルシフタへの電力供給が停止されて、当該レベルシフタが停止する。したがって、レベルシフタが動作を停止する際、レベルシフタへの電力供給が停止する。それゆえ、上記の構成による効果に加えて、レベルシフタを停止できるとともに、動作中にレベルシフタで消費する電力の分だけ、消費電力をいっそう低減することができる。

【 0 0 3 9 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、上記 2 値データ信号が入力されるトランジスタと、このトランジスタのゲート容量を上記 2 値データ信号の伝送線から切り離す入力制御部とを有していることを特徴としている。

【 0 0 4 0 】

上記の構成により、上記レベルシフタに入力される 2 値データ信号が入力されるトランジスタのゲート容量が、レベルシフタの停止時には 2 値データ信号の伝送線から切り離される。したがって、当該伝送線の負荷容量となるゲート容量は、動作中のレベルシフタのもののみに限定され、レベルシフタの停止時にはこのゲート容量をなくすことができる。それゆえ、上記の構成による効果に加えて、2 値データ信号の伝送線の容量を低減し、消費電力をいっそう削減することができる。

【 0 0 4 1 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成するスイッチ素子は多結晶シ

リコン薄膜トランジスタからなることを特徴としている。

【 0 0 4 2 】

上記の構成により、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成するスイッチ素子は多結晶シリコン薄膜トランジスタからなる。したがって、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路であっても、上記のようにレベルシフトを設けることで、駆動電圧を十分低減することができる。それゆえ、上記の構成による効果に加えて、広い表示面積と駆動電圧の低減とを良好に両立させることができる。

【 0 0 4 3 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成する各スイッチ素子が 6 0 0 度以下のプロセス温度で製造されることを特徴としている。

【 0 0 4 4 】

上記の構成により、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成する各スイッチ素子が、6 0 0 度（℃）以下のプロセス温度で製造される。したがって、基板として安価なガラス基板を使用することができる。それゆえ、上記の構成による効果に加えて、より表示面積の広い画像表示装置を安価に提供できる。

【 0 0 4 5 】

また、本発明の画像表示装置は、上記の構成に加えて、上記転送指示信号が上記 2 値データ信号線駆動回路に入力される際に上記 2 値データ電位の電位の変動を抑制する 2 値データ電位安定部を有することを特徴としている。

【 0 0 4 6 】

上記の構成により、上記転送指示信号が上記 2 値データ信号線駆動回路に入力される際に、2 値データ電位安定部によって上記 2 値データ電位の電位の変動が抑制される。したがって、2 値データ信号線駆動回路の 2 値データ電位を安定化することができる。それゆえ、上記の構成による効果に加えて、所望の電位をデータ信号線に良好に充電することができ、画像表示装置の画質劣化を抑えること

ができる。

【0047】

また、本発明の画像表示装置は、上記の構成に加えて、上記2値データ電位安定部が、上記2値データ信号線駆動回路に上記2値データ電位を供給する2値データ電位供給線から電荷を受け取って保持する電荷保持部と、上記電荷保持部で保持される電荷量を抵抗値にて決定する電流制御部とを備えたことを特徴としている。

【0048】

上記の構成により、上記2値データ電位安定部が、電流制御部と電荷保持部とを備える。したがって、データ信号線駆動回路へ供給する電位（電荷）を電荷保持部に保持することにより、転送指示信号が作用している間は、電荷保持部から電荷を供給すればよい。2値データ信号線駆動回路へ供給される2値データ電位は、転送指示信号が非作用時に電荷保持部に供給すればよい。その結果、転送指示信号が2値データ信号線駆動回路に入力される際に2値データ信号線駆動回路に入力される2値データ電位の電位の変動（減少）が抑制される。また、電流制御部を用いることにより、必要以上に電流を流すことなく電荷保持部に供給できるので、その分、消費電力の増加を抑えることができる。それゆえ、上記の構成による効果に加えて、安価で簡素な構成で2値データ信号線駆動回路の2値データ電位を安定化することができる。また、電流増幅回路を必要としないため、いっそう消費電力の増加を抑制することができる。

【0049】

また、本発明の画像表示装置は、上記の構成に加えて、上記2値データ電位安定部が、上記2値データ信号線駆動回路に上記2値データ電位を供給する2値データ電位供給線から電荷を受け取って保持する電荷保持部と、1水平走査期間ごとに極性反転しながら上記電荷保持部に入力されて保持される電荷量を、画面表示の1水平走査期間の周波数より大きい遮断周波数を持つことで決定する周波数制御部とを備えたことを特徴としている。

【0050】

上記の構成により、上記2値データ電位安定部が、周波数御部と電荷保持部と

を備える。したがって、データ信号線駆動回路へ供給する電位（電荷）を電荷保持部に保持することにより、転送指示信号が作用している間は、電荷保持部から電荷を供給すればよい。2 値データ信号線駆動回路へ供給される 2 値データ電位は、転送指示信号が非作用時に電荷保持部に供給すればよい。その結果、転送指示信号が 2 値データ信号線駆動回路に入力される際に 2 値データ信号線駆動回路に入力される 2 値データ電位の電位の変動（減少）が抑制される。また、周波数制御部を用いることにより、必要以上に電流を流すことなく電荷保持部に供給できるので、その分、消費電力の増加を抑えることができる。それゆえ、上記の構成による効果に加えて、安価で簡素な構成で 2 値データ信号線駆動回路の 2 値データ電位を安定化することができる。また、電流増幅回路を必要としないため、いっそう消費電力の増加を抑制することができる。

【 0 0 5 1 】

また、本発明の画像表示装置は、上記の構成に加えて、上記電荷保持部が保持する電荷の容量が、少なくとも上記複数のデータ信号線の総容量よりも大きいことを特徴としている。

【 0 0 5 2 】

上記の構成により、上記電荷保持部が保持する電荷の容量が、少なくとも上記複数のデータ信号線の総容量よりも大きい。したがって、転送指示信号が作用している間、電荷保持部に蓄えられた電荷を供給するだけでよく、外部から新たに電荷を供給する必要がない。それゆえ、上記の構成による効果に加えて、いっそう消費電力の増加を抑制することができる。

【 0 0 5 3 】

また、本発明の画像表示装置は、上記の構成に加えて、上記電流制御部と上記電荷保持部との時定数は、2 値データ信号線駆動回路以外のデータ信号線駆動回路から供給される映像信号の上記表示部での表示期間内に上記 2 値データ電位を十分な電位に安定させる程度の値をとることを特徴としている。

【 0 0 5 4 】

上記の構成により、2 値データ電位安定部を構成する、電流制御部と電荷保持部の時定数は、映像信号の表示期間内に上記 2 値データ電位を十分な電位に安定

させる程度の値をとる。したがって、映像信号の表示期間内に十分に電位を保持することが可能となる。つまり、転送指示信号が作用するまでに、電荷保持部に十分に電荷を蓄えることが可能となるので、外部から新たに電荷を供給する必要がない。それゆえ、上記の構成による効果に加えて、いっそう消費電力の増加を抑制することができる。

【 0 0 5 5 】

また、本発明の画像表示装置は、上記の構成に加えて、上記 2 値データ信号線駆動回路が、水平帰線期間中であって転送指示信号がオフのときに、データ信号線の電位を、上記 2 値データ信号線駆動回路以外のデータ信号線駆動回路における、今回の水平有効期間（水平表示期間、1 H）のデータに対するデータ信号線の電位と次の水平有効期間のデータに対するデータ信号線の電位との中間の電位であるプリチャージ電位にすることを特徴としている。

【 0 0 5 6 】

上記の構成により、水平帰線期間中に、上記 2 値データ信号線駆動回路によって、データ信号線の電位が、今回の水平有効期間のデータに対するデータ信号線の電位と次の水平有効期間のデータに対するデータ信号線の電位との中間の電位であるプリチャージ電位になる。したがって、2 値データ信号線駆動回路以外のデータ信号線駆動回路の電圧印加の能力が十分でない場合でも、今回の映像信号表示時後、データ信号線の電位が一旦プリチャージ電位にまで変化させられるので、次の映像信号表示時までには、必要な電位にまでこの駆動回路によって十分電位を変化させることができる。その結果、データ信号線充電速度の補助とを行うことができ、表示品位を向上させることができる。また、上記 2 値データ信号線駆動回路以外のデータ信号線駆動回路とともに用いられて複数種類のデータ供給を行うために設けられている 2 値データ信号線駆動回路を、このようなプリチャージ機能のための回路として兼用することができ、構成の複雑化を防ぐことができる。それゆえ、上記の構成による効果に加えて、簡素な構成で複数種類のデータの供給と表示品位の向上とを行うことができる。

【 0 0 5 7 】

また、本発明の画像表示装置は、上記の構成に加えて、上記 2 値データ信号線

駆動回路が、上記 2 値データ電位と所定の基準電位との差を画像データとして上記データ信号線に供給し、この基準電位を、上記プリチャージ電位として用いることを特徴としている。

【 0 0 5 8 】

上記の構成により、データ信号線に供給するために用いられる基準電位 (VCOM) を、上記プリチャージ電位として用いる。したがって、外部から、新たに上記プリチャージ電位を供給する必要がない。それゆえ、上記の構成による効果に加えて、より簡素な構成でプリチャージによる表示品位の向上を行うことができる。

【 0 0 5 9 】

【発明の実施の形態】

【実施の形態 1】

本発明の実施の一形態について図 1 ないし図 4 に基づいて説明すれば、以下の通りである。

【 0 0 6 0 】

図 1 は本実施の形態に係る画像表示装置の構成例を示すブロック図である。本画像表示装置は、多階調のアナログデータ信号線駆動回路 SD、走査信号線駆動回路 GD、2 値データ信号線駆動回路 BINS D、データ信号線 S L n ($1 \leq n \leq i$)、走査信号線 G L n ($1 \leq n \leq j$)、画素 P I X、制御信号回路 C T L、2 値データ格納部 B I N M E M、多階調データ格納部 D A T M E M で構成されている。

【 0 0 6 1 】

上記アナログデータ信号線駆動回路 SD は、クロック信号 C K に同期して動作するシフトレジスタ S R 1 と、サンプリング部 S A M P とを備えている。なお、上記多階調のアナログデータ信号線駆動回路 SD の代わりに、2 値のアナログデータに対する駆動回路や、デジタルデータに対する駆動回路や、2 値のデジタルデータに対する駆動回路とすることもできる。

【 0 0 6 2 】

上記 2 値データ信号線駆動回路 B I N S D は、(1) クロック信号 C K に同期

して動作するシフトレジスタSR2と、(2) 入力されるデジタルデータである2値データ信号DIGDATをサンプリングして保持するデータ保持部L a t c hと、(3) その保持されたデータに応じて点灯用電位と非点灯用電位との2値データ電位を切りかえるデータ切替部SELと、(4) そのデータ切替部SELの出力とデータ信号線との間に設けられ、外部から入力される転送指示信号TRFによって出力制御を行う出力制御部CNTTRFとを備えている。

【0063】

ここで、画素PIXは、従来同様、図41に示すように、スイッチ素子SWと液晶容量CL及び補助容量CSから構成されている。画素PIXを構成する容量の一端はスイッチ素子SWを介してデータ信号線SLに接続されており、他端は対向電極COM（図示せず）と呼ばれる共通電極に接続され、対向電位VCOMが印加されている。つまり、データ信号線SLを通じてスイッチ素子SWを介して画素PIXに書き込まれた信号電位と、対向電位VCOMとの電位差が液晶に印加され、印加された電位の実効電圧値に応じて液晶を通過又は反射する光を変調することにより様々な表示状態を実現している。

【0064】

また、アナログデータ信号線駆動回路SD、走査信号線駆動回路GD、2値データ信号線駆動回路BINSD、及び各画素PIXを構成する各スイッチ素子は同一基板上に、600度以下のプロセス温度の多結晶シリコン薄膜トランジスタで形成されている。

【0065】

次に、図2に本実施の形態のタイミングチャートを示す。同図には、アナログデータ信号線駆動回路SD及び2値データ信号線駆動回路BINSDに入力されるクロック信号CKとスタート信号SPと、それに同期してアナログデータ信号線駆動回路SD及び2値データ信号線駆動回路BINSDを構成しているシフトレジスタSR1、SR2から出力されるサンプリング信号SMP_n ($1 \leq n \leq i$) と、2値データ信号線駆動回路に入力される2値データ信号DIGDATと、データ信号線駆動回路に入力されるアナログ映像信号である映像信号DATと、転送指示信号TRFと、2値データ信号線駆動回路BINSDを構成するデータ

切替部 S E L に転送指示信号 T R F のタイミングで入力される、液晶駆動白電位である点灯用電位 V W (ノーマリーブラックの場合) と、データ信号線 S L n の電位状態を示している。

【 0 0 6 6 】

2 値データ信号線駆動回路 B I N S D のブロック図を図 3 に示す。2 1 はデータ保持部である。また、データ切替部 S E L と出力制御部 C N T T R F とでデータ制御部 2 2 が構成されている。また、データ保持部 L a t c h の構成例を図 4 に示す。

【 0 0 6 7 】

次に、このときの動作を、図 2 に示すタイミングチャートを用いて説明する。まず、図 2 のスタート信号 S P とクロック信号 C K とがアナログデータ信号線駆動回路 S D と 2 値データ信号線駆動回路 B I N S D とに入力されると、それぞれのシフトレジスタ S R 1、S R 2 はそれぞれクロック信号 C K に同期して S M P 1、S M P 2、S M P 3、…、S M P n と順次サンプリング信号を出力する。

【 0 0 6 8 】

次に、アナログデータ信号線駆動回路 S D に着目すると、アナログスイッチからなるサンプリング部 S A M P には、映像信号 D A T と、シフトレジスタ S R 1 が出力したサンプリング信号が入力されており、サンプリング信号に同期してデータ信号線 S L に映像信号 D A T をサンプリングしていく。

【 0 0 6 9 】

ここで、2 値データ信号線駆動回路 B I N S D では、シフトレジスタ S R 2 から出力されるサンプリング信号に応じて、データラッチ部 L a t c h に別途入力されている 2 値データ信号 D I G D A T をサンプリングしてラッチ (保持) していく。また、図中の D I G D A T に記されている “T”、“F” は、それぞれデータが有意なときを “T”、有意でないときを “F” としている。つまり、サンプリング信号 S M P でサンプリングされた 2 値データ信号 D I G D A T が “T” のときに点灯用電位 V W を選択する (ノーマリーブラックの場合) こととなる。よって、本実施の形態では、保持されたデータが有意な場合にのみ、点灯用電位 V W を選択し、それ以外は、転送指示信号 T R F が入力されても出力制御部 C N

T T R Fは動作せず、元の画像が残るような構成となっている。

【 0 0 7 0 】

あるいは、これとは逆に、保持されたデータが有意のときに液晶駆動黒電位である非点灯用電位V Bを選択する構成（ノーマリーホワイトの場合）にしてもよい。なお、データが有意であるとは、データが存在するということであり、例えば、2値表示において、ノーマリーブラック（黒地）の場合は、データが有意である箇所は、液晶駆動白電位である点灯用電位V Wを選択し、白画像となる。ノーマリーホワイト（白地）の場合は、データが有意である箇所は、液晶駆動黒電位である非点灯用電位V Bを選択し、黒画像となる。

【 0 0 7 1 】

次に、アナログデータ信号線駆動回路S Dおよび2値データ信号線駆動回路B I N S Dがそれぞれ映像信号D A T、2値データ信号D I G D A Tのサンプリングを終える。このとき各データ信号線S Lには、アナログデータ信号線駆動回路S Dによって、映像信号D A Tが供給されている。次に、水平帰線期間になると、2値データ信号線駆動回路B I N S Dを構成する出力制御部C N T T R Fに、データラッチ部の出力結果と転送指示信号T R Fとによって、データ信号切替部S E Lによって選択された点灯用電位V Wが複数のデータ信号線に一括して書き込まれる。結果として、データ信号線には、2値データ信号が有意の場合のみ、データ信号線に点灯用電位V Wが上書きされ、2値データ信号が有意でない場合は、アナログデータ信号線駆動回路S Dによって書き込まれた映像信号D A Tが書き込まれている。次に、走査線駆動回路G Dによって走査信号線G L nが駆動されデータ信号線S Lに書き込まれたデータが画素P I Xに書き込まれ、表示部に表示される。

【 0 0 7 2 】

このように、複数の画像データを、予め合成することなく、重ねて表示することが可能になり、低消費電力化が可能な画像表示装置を実現できる。

【 0 0 7 3 】

〔実施の形態2〕

本発明の他の実施の形態について図5に基づいて説明すれば、以下の通りであ

る。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【 0 0 7 4 】

本実施の形態では、2 値データ信号線駆動回路 B I N S D を構成している出力制御部 C N T T R F に別途、表示状態切替信号 P I C S T を入力している。このときの2 値データ信号線駆動回路 B I N S D のブロック図を図 5 に示す。実施の形態 1 では、2 値データ信号 D I G D A T が有意の場合のみ、点灯用電位 V W または非点灯用電位 V B がデータ信号線に供給された。一方、本実施の形態では、出力制御部 C N T T R F は、以下のように動作する。すなわち、表示状態切替信号 P I C S T がアクティブの場合は実施の形態 1 と同様の表示が得られる。

【 0 0 7 5 】

また、表示状態切替信号 P I C S T が非アクティブの場合は、2 値データが有意である場合は点灯用電位 V W がデータ信号線に供給され、2 値データが有意でない場合は非点灯用電位 V B がデータ信号線に供給される。結果として、表示状態切替信号 P I C S T が非アクティブの場合は、2 値データが有意なデータ信号線に接続された画素 P I X は点灯し、2 値データが有意でないデータ信号線に接続された画素 P I X は点灯しない。よって、2 値データ信号線駆動回路 B I N S D でのみ、データ信号線 S L が駆動されたことになる。このとき、アナログデータ信号線駆動回路 S D に対して、スタート信号 S P、クロック信号 C K および映像信号 D A T を停止させることにより、使用時と待機時とでそれぞれの要求に合った駆動が可能なり、低消費電力化が可能な画像表示装置を実現できる。

【 0 0 7 6 】

表示状態切替信号 P I C S T の切り替えは、画像表示装置の使用者が任意に行える。また、携帯電話等において、待機時のフルカラー表示からメール着信通知時の文字表示へと変わるのにつれて自動的に表示状態切替信号 P I C S T がアクティブから非アクティブへと切り替わるようにすることもできる。

【 0 0 7 7 】

〔実施の形態 3〕

本発明のさらに他の実施の形態について図 6 に基づいて説明すれば、以下の通

りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【 0 0 7 8 】

本実施の形態では、2値データ信号線駆動回路B I N S Dの出力を2本のデータ信号線駆動回路に接続した場合について述べる。図6にブロック図を示す。このようにすることにより、データ信号線駆動回路が1個の場合と比べ、画面上の任意の箇所で容易に解像度を変更（減少）させることができる。このとき、2値データ信号線駆動回路B I N S Dを構成するシフトレジスタS R 2には、アナログデータ信号線駆動回路S DのシフトレジスタS R 1に入力するクロックC Kの半分の周波数のクロック信号でよい。一般に消費電力Pは周波数fに比例して増大するため、このような構成をとることによってさらに消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供することができる。また、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低消費電力化が可能な画像表示装置を実現できる。

【 0 0 7 9 】

〔実施の形態4〕

本発明のさらに他の実施の形態について図7および図8に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【 0 0 8 0 】

本実施の形態では、アナログデータ信号線駆動回路S Dへのスタート信号S P 1と2値データ信号線駆動回路B I N S Dへのスタート信号S P 2とを別に設けている。図7にタイミングチャートを、図8に2値データ信号線駆動回路B I N S Dのブロック図を示す。図7のタイミングチャートには、アナログデータ信号線駆動回路S D用のスタート信号S P 1と、2値データ信号線駆動回路B I N S D用のスタート信号S P 2と、クロック信号C Kと、映像信号D A Tと、2値データ信号D I G D A Tと、アナログデータ信号線駆動回路S DのシフトレジスタS R 1のサンプリング信号としての出力信号S M P 1 __ 1、S M P 1 __ 2、S M P 1 __ nと2値データ信号線駆動回路B I N S DのシフトレジスタS R 2のサン

プリング信号としての出力信号 $SMP\ 2_1$ 、 $SMP\ 2_2$ 、 $SMP\ 2_n$ とが示されている。このとき、2値データ信号線駆動回路 $B\ I\ N\ S\ D$ は、シフトレジスタ $S\ R\ 2$ の出力と同時にデータ信号線へ点灯用電位 $V\ W$ または非点灯用電位 $V\ B$ を供給する構成になっている。

【 0 0 8 1 】

ここで、図7のタイミングチャートによると、スタート信号 $S\ P\ 1$ のほうが $S\ P\ 2$ より時間的に早く入力されている。したがって、シフトレジスタ $S\ R\ 1$ のほうがシフトレジスタ $S\ R\ 2$ よりも先行してデータ信号線に映像信号 $D\ A\ T$ を供給している。 $SMP\ 1_1$ と $SMP\ 2_1$ とはいずれもデータ信号線 $S\ L\ 1$ に作用する構成になっている。まず、 $SMP\ 1_1$ によって映像信号 $D\ A\ T$ を供給した後、 $SMP\ 2_1$ によって、2値データ信号 $D\ I\ G\ D\ A\ T$ に応じて、2値データ信号 $D\ I\ G\ D\ A\ T$ が有意な場合、点灯用電位 $V\ W$ または非点灯用電位 $V\ B$ を供給することが可能となり、実施の形態1と同様の効果が得られる。

【 0 0 8 2 】

〔実施の形態5〕

本発明のさらに他の実施の形態について図9ないし図18に基づいて説明すれば以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【 0 0 8 3 】

上記の各実施の形態では、複数のデータ信号線駆動回路に入力される各信号が前記データ信号線駆動回路の電源電圧と同電位で入力した場合について述べてきたが、近年では画像表示装置が携帯端末などで多く利用されており、低消費電力が切望されている。一般に電子回路の消費電力は周波数と負荷容量と、電圧の2乗とに比例して大きくなる。したがって、例えば、画像表示装置への映像信号を生成する回路など画像表示装置に接続される回路、あるいは画像表示装置では、消費電力を低減するために、駆動電圧がますます低くされる傾向にある。

【 0 0 8 4 】

上記映像信号の生成回路のように、単結晶シリコントランジスタを用いた回路では、駆動電圧は、例えば、5Vや3.3V、あるいはそれ以下の値に設定され

ていることが多い。しかしながら、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路では、基板間のしきい値電圧の相違が、例えば数V程度に達することもあるため、駆動電圧の低減が十分進んでいるとは言い難い。

【0085】

そのため、データ信号線駆動回路を構成するシフトレジスタの駆動電圧よりも低い入力信号が印加される場合、シフトレジスタには、入力信号を昇圧するレベルシフタを設けることが考えられる。また、デジタルデータである2値データ信号も例外ではなく、データをサンプリングして格納するデータ保持部にも同様のレベルシフタを設けることが考えられる。

【0086】

ここで、レベルシフタは、図9に示す電圧駆動型と図10に示す電流駆動型とに大別される。ここで、それぞれの動作について説明する。なお、以下、電源VCCから供給される駆動電圧もVCCと称することとする。

【0087】

電圧駆動型というのは、図9に示すように、レベルシフタはNチャネルトランジスタ n_vTr1 と n_vTr2 とPチャネルトランジスタ p_vTr1 と p_vTr2 とで構成されている。このとき n_vTr1 のゲート電極と n_vTr2 のゲート電極に入力される信号とは逆相の関係にあり、今、 n_vTr1 、 n_vTr2 に、図11に示すタイミングチャートの通り、 n_vTr1 のゲート電極に入力信号IN、 n_vTr2 のゲート電極に入力信号INBが入力されると、 n_vTr1 が導通状態になり、図中のノードAがLow (GND) レベルになる。このとき、Pチャネルトランジスタ p_vTr2 のゲート電極にはノードAが接続されているので、 p_vTr2 も導通し、ノードBがHigh (VCC) レベルになる。さらに、ノードBに接続されているゲート電極を持つ p_vTr1 は非導通状態であり、また入力信号INBが入力された n_vTr2 も非導通状態にある。このとき、ノードBを出力OUTとして用いれば、入力信号INを駆動電圧VCCまで昇圧させることができる。

【0088】

しかしながら、上記の $n v T r 1$ と $n v T r 2$ とに入力される信号電位は、先にも述べたとおり、映像信号の生成回路のように単結晶シリコントランジスタを用いた回路では、その駆動電圧が、例えば 5 V や 3.3 V、あるいはそれ以下の値に設定されていることが多い。そのため、多結晶シリコントランジスタを用いて上記の電圧駆動型レベルシフタを構成した場合、 n チャネルトランジスタのしきい値電圧が数 V 程度に達してしまうと、 $n v T r 1$ 、 $n v T r 2$ を導通させるには不十分な信号レベルになってしまうことがある。ゆえに、現在の技術では、多結晶シリコントランジスタ ($p-Si$) に電圧駆動型レベルシフタは利用できない。よって電流駆動型が用いられることになる。

【0089】

また、図 10 に示す電流駆動型レベルシフタは、(1) 入力段の差動入力対として、ソースが互いに接続された P チャネルトランジスタ $p i T r 1$ と $p i T r 2$ と、(2) 両トランジスタ $p i T r 1 \cdot p i T r 2$ のソースへ電流を供給する電源 VCC と、(3) カレントミラー回路を構成し、両トランジスタ $p i T r 1$ と $p i T r 2$ の能動負荷となる N チャネルトランジスタ $n i T r 1$ と $n i T r 2$ と、(4) 差動入力対の出力を増幅する CMOS 構造のトランジスタ $n i T r 3$ と $p i T r 3$ とを備えている。

【0090】

図 11 に示すように、上記トランジスタ $p i T r 2$ には入力信号 $I N$ が、 $p i T r 1$ には入力信号 $I N$ の反転信号となる入力信号 $I N B$ が入力される。また、 $n i T r 1$ と $n i T r 2$ のゲートは互いに接続され、さらに上記 $p i T r 1$ と $n i T r 1$ のドレインに接続されている。一方、互いに接続された $p i T r 2$ と $n i T r 2$ のドレインは、 $p i T r 3$ と $n i T r 3$ のゲートに接続されている。なお、 $n i T r 1$ と $n i T r 2$ のソースは互いに接続され接地されている。

【0091】

次に、電流駆動型レベルシフタの動作について説明する。上記電流駆動型レベルシフタでは、両トランジスタ $p i T r 1$ と $p i T r 2$ のゲートには、入力信号 $I N$ あるいは $I N B$ が印加される。この結果、両トランジスタ $p i T r 1$ と $p i$

Tr 2 には、それぞれゲートソース間電圧の比率に応じた量の電流が流れる。一方、ni Tr 1 と ni Tr 2 は能動素子として働くので、トランジスタ pi Tr 2 と ni Tr 2 の接続点の電圧は、両入力信号 IN、INB の電圧レベル差に応じた電圧となる。当該電圧は、CMOS 型の P チャネルトランジスタ pi Tr 3 と ni Tr 3 のゲート電圧となり、両トランジスタ pi Tr 3 と ni Tr 3 で電力増幅されたあと、出力電圧 OUT として出力される。

【 0 0 9 2 】

上記電流駆動型レベルシフタは、入力信号 IN によって、入力段のトランジスタ pv Tr 1 と pv Tr 2 の導通／遮断を切りかえる構成、すなわち、図 9 に示した電圧駆動型レベルシフタとは異なり、動作中、入力段の pi Tr 1 と pi Tr 2 が常時通電するタイプであり、両トランジスタ pi Tr 1 と pi Tr 2 のゲートソース間電圧の比率に応じて、入力信号 IN をレベルシフトする。これにより、入力信号 IN の振幅が入力段のトランジスタ pi Tr 1 と pi Tr 2 のしきい値より低い場合であっても、何ら支障なく入力信号 IN をレベルシフトできる。

【 0 0 9 3 】

本実施の形態は、

マトリクス状に配置された複数の画素 PIX と該画素 PIX の各列に配置された複数のデータ信号線 SLn ($1 \leq n \leq i$) 及び該画素の列に対応して配置された走査信号線 GLn ($1 \leq n \leq j$) を有し、各走査信号線 GL から供給される走査信号に同期して各データ信号線 SL から各画素 PIX に画像表示のためのデータを供給される表示部と、

該複数のデータ信号線に所定のタイミング信号に同期して、映像信号を出力するアナログデータ信号線駆動回路 SD と、

該複数の走査信号線 GL に所定のタイミング信号に同期して、走査信号を出力する走査信号線駆動回路 GD とを備えている。

【 0 0 9 4 】

また、前記実施の形態と同様の 2 値データ信号線駆動回路 BINSD を備えている。この 2 値データ信号線駆動回路 BINSD は、スタート信号 SP とクロック

ク信号CK及び2値データ信号DIGDATが電源電圧より低くなっている。

【0095】

そして、2値データ信号線駆動回路BINS DのシフトレジスタSR2のクロック信号CKと2値データ信号DIGDATとの入力部にそれぞれレベルシフタを設けている。なお、それぞれCKLS、DATLSと称する。これにより、そのクロック信号用レベルシフタCKLSで昇圧されたクロック信号CKに同期してシフトレジスタ出力SMPを出力し、そのSMPに応じて、2値データ信号用レベルシフタDATLSを動作させると同時に2値データを昇圧することによって、データ保持部L a t c hにて、電源電圧と同じ電位に昇圧されたデータを保持する構成となっている。

【0096】

本実施の形態では、実施の形態1同様に、点灯用電位と非点灯用電位との2値データ電位を切りかえるデータ切替部と、そのデータ切替部の出力とデータ信号線との間に設けられ、外部から入力される転送指示信号によって出力制御を行う出力制御部を備えている。駆動方法は実施の形態1と同様である。

【0097】

ここで、本実施の形態に用いたシフトレジスタSR2とデータ保持部L a t c hについて説明する。図12に、2値データ信号線駆動回路BINS DのシフトレジスタSR2の構成例を示している。また、図13は、動作の具体的な動作を示すタイミングチャートである。

【0098】

図12において、シフトレジスタSR2は、スタート信号SP用レベルシフタLSと、複数のセット・リセット型フリップフロップ回路F（以下、SRフリップフロップと称す）（すなわち、F1、F2、F3、…、Fn、Fx）と、そのSRフリップフロップFと同数のクロック信号用レベルシフタCKLSとで構成されている。

【0099】

ここで、以下に「SRフリップフロップ」について説明する。一般に、フリップフロップとは、あるタイミングで信号が加えられるたびに、二つの安定状態の

間を転移し、前記信号が入力されないときはその状態を保持する回路である。S R フリップフロップ（セット・リセット型フリップフロップ）では、例えば、入力されるセット信号によって、出力を H i g h 状態にし、セット信号が非アクティブになっても、その出力状態を保持し続ける。その後、セット信号が非アクティブで、リセット信号がアクティブになると、出力を L o w の状態にし、リセット信号が非アクティブになっても、セット信号がアクティブになるまでその状態を保持し続けるフリップフロップである。

【0100】

本実施の形態では、各クロック用レベルシフタ C K L S は、各 S R フリップフロップ F と 1 対 1 に対応するように設けられており、後述するように、クロック信号 C K の振幅が上記駆動電圧 V C C よりも小さい場合でも、何ら支障なく昇圧できるように、電流駆動型のレベルシフタとして構成されている。各レベルシフタ C K L S は、制御信号 E N A が動作を指示している間、クロック信号 C K に基づいて、対応する S R フリップフロップ F へ昇圧後のクロック信号を印加できる。さらに、制御信号 E N A が動作停止を指示している間、動作を停止して対応する S R フリップフロップ F へのクロック信号 C K の印加を阻止できるとともに、動作停止中、後述する入力スイッチング素子を遮断して、貫通電流に起因するレベルシフタ C K L S の電力消費を削減できる。

【0101】

一方、上記シフトレジスタ S R 2 は、1 クロック周期幅のスタート信号 S P をクロック信号 C K の立ち上がりが上がりごとに、次段へ伝送できるように構成されている。具体的には、前段の出力（初段は S P）はシフトレジスタ出力 S M P として出力されるとともにレベルシフタ C K L S が動作し C K が I N V S 1 を介して負論理のセット信号 S バーとして S R フリップフロップ F 1 に印加される。S R フリップフロップ F 1 の出力信号 Q 1 は、次段のレベルシフタ C K L S 2 を動作させる信号 E N A 1 として印加される。さらに、各 S R フリップフロップ F n には、後段の S R フリップフロップへのセット信号のうち、一方はシフトレジスタ出力 S M P n と伝送するパルス幅だけ遅れた信号がリセット信号 R として印加される。本実施形態では、1 クロック周期幅のパルスを伝送するので、1 クロック

周期遅れた信号、すなわち、2 段後のレベルシフタCKLS ($n+2$) によって昇圧され、シフトレジスタ1 の出力信号SMP ($n+2$) が正論理のリセット信号として印加される。

【0 1 0 2】

また、奇数段のSRフリップフロップF1、F3…がクロック信号CKの立ち上がりでセットされるように、奇数段のレベルシフタCKLS1、CKLS3…にはクロック信号CKが入力される。一方、偶数段のレベルシフタCKLS2、CKLS4…には、偶数段のSRフリップフロップF2…がクロック信号CKの反転信号CKBの立ち上がりでセットされるように、CKBが印加される。

【0 1 0 3】

上記構成によれば、図12に示すように、スタート信号SPがパルス入力されている間、最前段のレベルシフタCKLS1が動作して、昇圧したあとのクロック信号CK (CKaとする) をSRフリップフロップF1へ印加する。これにより、SRフリップフロップF1は、パルス入力の開始時時点のあと、クロック信号が立ち上がった時点でセットされ、出力Q1をHighへと変化させる。

【0 1 0 4】

上記Q1は、制御信号ENA2として、2 段目のレベルシフタCKLS2へ次段のSRフリップフロップへ印加される。これにより、レベルシフタCKLS2は、SRフリップフロップF1がパルス出力している間 (ENA2=Q1がHighレベルの間)、クロック信号CKBを出力する。これにより、SRフリップフロップF2は、前段の出力Q1がHighレベルになったあと、クロック信号の反転信号SKBが最初に立ち下がった時点でセットされ、出力Q2をHighレベルへと変化させる。

【0 1 0 5】

ここで、 n 以下で1以上の整数を i とすると、各SRフリップフロップ出力信号Qiは、次段のレベルシフタCKLSiへ制御信号ENAiとして印加されているので、2 段目以降のSRフリップフロップFiは、前段の出力Q ($i-1$) よりも、CKの周期の半分だけ遅れて出力Qiを出力する。

【0 1 0 6】

ここで、各レベルシフタはSRフリップフロップFごとに設けられているため、SRフリップフロップの段数が多い場合であっても、唯一のレベルシフタでクロック信号CKまたはCKBを昇圧したあと、全てのフリップフロップへ印加する場合に比べて、互いに対応するレベルシフタとフリップフロップ間の距離を短くできる。したがって、昇圧後のクロック信号CKaまたはCKBaの伝送距離が短くできるとともに、各レベルシフタの負荷容量が削減できる。また、負荷容量が小さいので、たとえば、レベルシフタが多結晶シリコン薄膜トランジスタから構成されている場合のように、レベルシフタの駆動能力が十分に確保することが難しい場合であっても、バッファを設ける必要がない。これらの結果により、シフトレジスタの消費電力を削減できる。

【0107】

また、スタート信号SPや前段の出力Q(i-1)がLowレベルの間のように、各SRフリップフロップFiがクロック信号の入力を必要としない場合、レベルシフタCKLSiが動作を停止している。この状態では、クロック信号が駆動されないため、駆動に必要な電力消費が発生しない。さらに、後述するように、各レベルシフタに設けられているレベルシフタCKLSへの電力供給自体が停止されるとともに、入力スイッチング素子が遮断され、貫通電流を流さない。したがって、電流駆動型のレベルシフタが多数(n個)設けられているにもかかわらず、動作中のレベルシフタでのみ、電力が消費される。この結果、シフトレジスタの消費電力を大幅に削減できる。

【0108】

加えて、本実施形態に係るレベルシフタCKLSiは、SRフリップフロップFiにクロック信号が必要な期間、すなわち、スタート信号SPまたは前段のSRフリップフロップの出力Q(i-1)がパルス出力を開始した時点からSRフリップフロップFiがセットされるまでの期間を、スタート信号SPまたは前段の出力Q(i-1)のみに基づいて判定している。この結果、スタート信号SPまたは前段の出力Q(i-1)を直接印加するだけで、各レベルシフタCKLSiの動作/停止を制御でき、新たな制御信号を作成するための回路を設ける場合に比べてシフトレジスタの回路構成を簡略化できる。

【0109】

さらに、本実施形態では、各レベルシフタCKLS_iが停止している間、各SRフリップフロップF_iへのクロック入力が阻止される。したがって、レベルシフタCKLS_iとは別にクロック入力の要否に応じて、導通するスイッチを設けなくとも、スタート信号SPを正しく伝送できる。

【0110】

ここで、上記SRフリップフロップは、例えば、図14(a)および図14(b)に示すように、電源VCCと接地レベルとの間に、P型MOSトランジスタP1、N型MOSトランジスタN2、及びN3が互いに直列に接続されており、トランジスタP1、N3のゲートには、負論理信号Sバーが印加される。また、トランジスタN2のゲートには、正論理のリセット信号Rが印加される。さらに、互いに接続された上記トランジスタP1、N2のドレイン電位は、インバータINV1・INV2でそれぞれ反転させ、出力信号Qとして出力される。

【0111】

一方、電源VCCと接地レベルとの間には、さらに、それぞれ直列に接続されたP型のMOSトランジスタP4、P5、およびN型のMOSトランジスタN6、N7が設けられている。上記トランジスタP5、N6のドレインは、上記インバータINV1の入力に接続されているとともに、両トランジスタP5、N6のゲートは、インバータINV1の出力に接続されている。さらに、上記トランジスタP4には、リセット信号Rが印加されるとともに、上記トランジスタN7には、セット信号Sバーが印加される。上記SRフリップフロップF1では、図15に示すように、リセット信号Rがインアクティブ（ローレベル）の間に、セット信号Sバーがアクティブ（ローレベル）に変化すると、上記トランジスタP1が導通して、インバータINV1の入力をハイレベルに変化させる。これにより、SRフリップフロップF1の出力信号Qは、ハイレベルへと変化する。

【0112】

この状態では、リセット信号RおよびインバータINV1の出力によって、トランジスタP4、P5が導通する。また、リセット信号RおよびインバータINV1の出力によって、トランジスタN2、N6が遮断される。これにより、セッ

ト信号Sバーがインアクティブに変化しても、インバータINV1の入力はハイに維持され、出力信号Qはハイレベルのまま保たれる。

【0113】

その後、リセット信号Rがアクティブになると、トランジスタP4が遮断され、トランジスタN2が導通する。ここで、セット信号Sバーがインアクティブのままなので、トランジスタP1は遮断され、トランジスタN3が導通する。したがって、インバータINV1の入力がローレベルに駆動され、出力信号Qがローレベルへと変化する。

【0114】

一方、例えば、図16に示すように、本実施形態に係るレベルシフタ113は、クロック信号CKをレベルシフトするレベルシフト部113aと、クロック信号の供給が不要な停止期間にレベルシフト部113aへの電力供給を遮断する電力供給制御部113bと、停止期間中にレベルシフト部113aとクロック信号が伝送される信号線とを遮断する入力制御部（スイッチ）113cと、停止期間中、上記レベルシフト部113aの入力スイッチング素子を遮断する入力スイッチング素子遮断制御部（入力信号制御部）113dと、停止期間中、レベルシフト部113aの出力を所定の値に維持する出力安定部（出力安定手段）113eとを備えている。

【0115】

上記レベルシフト部113aは、入力段の差動入力対として、ソースが互いに接続されたP型のMOSトランジスタP11・P12と、カレントミラー回路を構成し、両トランジスタP11・P12の能動負荷となるN型のMOSトランジスタN13・N14と、差動入力対の出力を増幅するCMOS構造のトランジスタP15・N16とを備えている。

【0116】

上記トランジスタP11のゲートには、後述するトランジスタN31を介して、クロック信号CKが入力され、トランジスタP12のゲートには、後述するトランジスタN33を介して、クロック信号CKの反転信号CKBが入力される。また、トランジスタN13・N14のゲートは互いに接続され、さらに、上記ト

ランジスタP11・N13のドレインに接続されている。一方、互いに接続されたトランジスタP12・N14のドレインは、上記トランジスタP15・N16のゲートに接続される。なお、トランジスタN13・N14のソースは、上記電力供給部113bとしてN型のMOSトランジスタN21を介して接地されている。

【0117】

一方、上記トランジスタP11側の入力制御部113cでは、クロック信号と上記トランジスタP11のゲートとの間に、N型のMOSトランジスタN31が設けられている。また、トランジスタP11側の入力スイッチング素子遮断制御部113dでは、トランジスタP11のゲートと電源VCCとの間に、P型のMOSトランジスタP32が設けられている。同様に、トランジスタP12のゲートには、入力制御部113cとしてのトランジスタN33を介して、クロック信号の反転信号CKBが印加され、入力スイッチング素子遮断制御部113dとしてのトランジスタP34を介して、駆動電圧VCCが与えられる。

【0118】

また、上記出力安定部113eは、停止期間におけるレベルシフタ113の出力電圧OUTを、接地レベルに安定させる構成であり、電源VCCと上記トランジスタP15・N16のゲートとの間に、P型のMOSトランジスタP41を備えている。

【0119】

なお、本実施形態では、制御信号ENAは、Highレベルの場合、レベルシフタ113の動作を示すように設定されている。したがって、上記トランジスタN21～P41のゲートには、制御信号ENAが印加される。

【0120】

上記構成のレベルシフタ113では、制御信号ENAが動作を示している場合（Highレベル）、トランジスタN21・N31・N33が導通し、トランジスタP32・P34・P41が遮断される。この状態では、電源VCCからの電流はトランジスタP11およびN13、あるいは、トランジスタP12・N14を介した後、さらに、トランジスタN21を介して流れる。また、両トランジス

タ P 1 1 ・ P 1 2 のゲートにはクロック信号 C K、あるいはクロック信号の反転信号 C K B が印加される。この結果、両トランジスタ P 1 1 ・ P 1 2 には、それぞれのゲートソース間電圧の比率に応じた量の電流が流れる。一方、トランジスタ N 1 3 ・ N 1 4 は、能動負荷として働くので、トランジスタ P 1 2 ・ P 1 4 の接続点の電圧は、両 C K、C K B の電圧レベル差に応じた電圧となる。当該電圧は、CMOS のトランジスタ P 1 5 ・ N 1 6 のゲート電圧となり、両トランジスタ P 1 5 ・ N 1 6 で電力増幅された後、出力電圧 O U T として出力される。

【 0 1 2 1 】

上記レベルシフタ 1 1 3 は、クロック信号 C K によって、入力段のトランジスタ P 1 1 ・ P 1 2 の導通／遮断を切り替える構成、すなわち、電圧駆動型とは異なり、動作中、入力段のトランジスタ P 1 1 ・ P 1 2 が常時導通する電流駆動型であり、クロック信号 C K の振幅が入力段のトランジスタ P 1 1 ・ P 1 2 のしきい値よりも低い場合であっても、何ら支障なく、クロック信号 C K をレベルシフトできる。

【 0 1 2 2 】

この結果、各レベルシフタは図 1 3 に示すように、それぞれに対応する制御信号 E N A i が H i g h レベルの間、クロック信号 C K として振幅が駆動電圧 V C C より低い場合（たとえば、5 V 程度）のクロック信号 C K と同形状で、振幅が駆動電圧 V C C （例えば、1 5 V 程度）に昇圧された出力信号 O U T を出力できる。

【 0 1 2 3 】

これとは逆に、制御信号 E N A i が動作停止を示している場合（L o w レベルの場合）、電源 V C C から、トランジスタ P 1 1 および N 1 3、あるいは、トランジスタ P 1 2 および N 1 4 を介して流れる電流は、トランジスタ N 2 1 によって遮断される。この状態では、電源 V C C から電流供給がトランジスタ N 2 1 によって阻止されるため、当該電流に起因する消費電力を削減できる。また、この状態では、両トランジスタ P 1 1 ・ P 1 2 へ電流が供給されないため、両トランジスタ P 1 1 ・ P 1 2 は、差動入力対として動作することができず、出力端、すなわち、両トランジスタ P 1 2 ・ N 1 4 の接続点の電位を決定できなくなる。

【 0 1 2 4 】

さらに、この状態では、各入力制御部 1 1 3 c のトランジスタ N 3 1 ・ N 3 3 が遮断される。これにより、クロック信号 C K を伝送する信号線と、入力段の両トランジスタ P 1 1 ・ P 1 2 のゲートとが切り離され、当該信号線の負荷容量となるゲート容量は、動作中のレベルシフタ 1 1 のもののみに限定される。この結果、当該信号線に複数のレベルシフタ 1 1 3 が接続されているものの、信号線の負荷容量を削減でき、図 1 に示す制御信号回路 C T L の、クロック信号 C K、C K B を駆動する回路の消費電力を削減できる。

【 0 1 2 5 】

また、停止中は、各入力スイッチング素子遮断制御部 1 1 3 d のトランジスタ P 3 2 ・ P 3 4 が導通するので、上記両トランジスタ P 1 1 ・ P 1 2 のゲート電圧は、いずれも駆動電圧 V C C となり、両トランジスタ P 1 1 ・ P 1 2 が遮断される。これにより、トランジスタ N 2 1 を遮断する場合と同様に、電源 V C C が出力する電流分だけ、消費電流を低減できる。なお、この状態では、両トランジスタ P 1 1 ・ P 1 2 は、差動入力対として動作することができないので、上記出力端の電位を決定できない。

【 0 1 2 6 】

それに加えて、制御信号 E N A が動作停止を示している場合には、さらに、出力安定部 1 1 3 e のトランジスタ P 4 1 が導通する。この結果、上記出力端、すなわち、C M O S のトランジスタ P 1 5 ・ N 1 6 のゲート電位は、駆動電圧 V C C となり、出力電圧 O U T が L o w レベルとなる。これにより、図 1 3 に示すように、制御信号 E N A が動作停止を示している場合、レベルシフタの出力電圧 O U T はクロック信号にかかわらず、L o w レベルのまま保たれる。この結果、レベルシフタの停止中における出力電圧 O U T が不定の場合と異なり、S R フリップフロップ F の誤動作を防止でき、安定して動作可能なシフトレジスタが実現できる。

【 0 1 2 7 】

以上はシフトレジスタ S R 2 でのレベルシフタ L S および C K L S についても説明したが、データ保持部 L a t c h 用の 2 値データ用レベルシフタ D A T L S

にも用いることができる。この場合について説明する。また、図 1 7 にレベルシフト付きのデータ保持部 L a t c h の回路図を示す。すなわち、図 4 に示したのと同じ構成のデータ保持部 L a t c h における D I G D A T が入力される部位に、図 1 6 に示したのと同じ構成のレベルシフト 1 1 3 が、データ保持部 L a t c h 用の 2 値データ用レベルシフト D A T L S として接続されている。

【 0 1 2 8 】

上記シフトレジスタ S R 2 の出力（サンプリング信号） S M P i を用いて E N A i とし、図 1 7 に示すレベルシフト 1 1 3 に入力する。E N A i がアクティブ状態にあるとレベルシフト 1 1 3 が動作し、2 値データ信号 D I G D A T を昇圧し、データ保持部 L a t c h に入力される。次にシフトレジスタ S R 2 の出力 S M P i が非アクティブになるとレベルシフトが停止し、すると、2 値データ信号 D I G D A T のデータ保持部であるデータ保持部 L a t c h はレベルシフトが停止する以前のデータを保持したまま、データの入力が停止される。よって、シフトレジスタ S R 2 の出力 S M P が有意である間に昇圧された 2 値データ信号 D I G D A T が保持されるため、2 値データ信号 D I G D A T は電源電圧と同電位で保持され、次段のデータ切替部へ入力される。これ以降の 2 値データ信号線駆動回路 B I N S D の動作は実施の形態 1 と同様である。

【 0 1 2 9 】

また、データ信号線駆動回路 S D におけるシフトレジスタ S R 1 を、上記シフトレジスタ S R 2 と同様の構成にしてもよい。

【 0 1 3 0 】

また、上記各実施の形態 2 ～ 4 についても、本実施の形態における回路構成を用いることにより、クロック信号や 2 値データ信号が電源電圧よりも低い場合でも消費電力を増やすことなく、実施の形態 1 と同様の効果が得られる。

【 0 1 3 1 】

このように、本画像表示装置は、フルカラー画像のデータを表示部に出力するアナログデータ信号線駆動回路 S D と 2 値のデータ（8 色）のデータを表示部に出力する 2 値データ信号線駆動回路 B I N S D とを備えている。

【 0 1 3 2 】

図 1 8 に示すように、アナログデータ信号線駆動回路 S D は、スタートパルス (S _ S P) とクロックとに同期して動作するシフトレジスタとシフトレジスタの出力に応じてアナログ映像信号 (R G B) をサンプリングして表示部に出力するスイッチとで構成されている。アナログ映像信号は、映像信号処理部において高速広帯域のビデオアンプを用いて、映像信号反転、階調補正等を行った後、液晶駆動用に変換され、アナログデータ信号線駆動回路 S D に入力される。このビデオアンプは非常に消費電力が高く、高解像度・高階調になるほど消費電力が大きくなる。

【 0 1 3 3 】

また、2 値データ信号線駆動回路 B I N S D は、スタートパルス (S _ S P) とクロックとに同期して動作するシフトレジスタとシフトレジスタの出力に応じて 2 値データ信号 (1 ビット) のデータを 1 水平走査期間 (水平有効期間、水平表示期間、1 H) 分保持するラッチ回路と、外部から水平帰線期間中に入力される転送指示信号 T R F とラッチ回路の出力信号とに応じて液晶駆動黒電位または液晶駆動白電位を選択して表示部に出力するスイッチとで構成されている。

【 0 1 3 4 】

液晶駆動黒電位または液晶駆動白電位は、1 H ごとに極性を切り替えるだけでよく、高速広帯域のビデオアンプのような非常に消費電力が大きくなる素子を必要としない。

【 0 1 3 5 】

〔実施の形態 6〕

本発明の他の実施の形態について図 1 9 ないし図 2 5 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には、同一の符号を付記してその説明を省略する。

【 0 1 3 6 】

本実施の形態は、画像表示装置の駆動方法に関し、多階調の画像と簡易画像 (文字や図形等) の表示を複数のデータ信号線駆動回路の各々に行わせるもので、特に複数のデータ信号線駆動回路の少なくとも一つが、外部から供給される点灯用電位と非点灯用電位との 2 値データ電位を 2 値のデータ信号に応じてデータ信

号線に供給する2値データ信号線駆動回路であり、データ信号線への2値データ電位の書き込みの駆動方法である。

【0137】

以下、まず、画像表示装置の一例として、アクティブマトリクス型液晶表示装置に関して説明する。ところで、近年では携帯情報端末装置の表示部に代表されるように2値の情報である文字・図形情報だけでなく、多階調の画像、いわゆる自然画も表示するようになっている。このとき前記の画像表示装置を用いた場合、文字・図形情報と多階調画像の情報が画像合成部において合成されたのち、データ信号線駆動回路を介して表示部に表示されている。

【0138】

また、携帯情報端末装置の使用方法によっては、文字・図形情報、または多階調画像の何れかを表示する場合がある。このとき、2値の情報であっても、多値（自然画）であっても、データ信号線駆動回路は全く同じ働きをするため、消費電力はいずれの場合でもほぼ同様になってしまう。

【0139】

さらには、複数のデータ信号線駆動回路を同一基板上に形成し、例えばデータ信号線のそれぞれの末端に多階調データ信号線駆動回路、もう一端に2値データ信号線駆動回路を設け、必要に応じて前記複数のデータ信号線駆動回路を使い分けることにより、低消費電力化を実現する試みがなされている。

【0140】

ここで、前記の2値データ信号線駆動回路の動作について説明すると、2値データ信号線駆動回路は大きくわけて、シフトレジスタ、データ保持回路、NAND回路、アナログスイッチとで構成されており、例えば2値のデータ信号、2値データ電位（液晶駆動用の点灯用電位、非点灯用電位）、タイミング信号等が入力されている。2値データ電位を供給する回路は、データ信号線に前記アナログスイッチを介して接続されている。また、NAND回路には、データ保持回路の出力と、データ信号線への出力を指示する転送指示信号TRFが入力されている。

【0141】

画像表示装置の別の例として、図 2 4 に示す画像表示装置を説明する。同図に示すように、画素アレイ A R Y と走査信号線駆動回路 G D、多階調のアナログデータ信号線駆動回路 S D、2 値データ信号線駆動回路 B I N S D、2 値データ電位増幅回路（2 値データ電位安定部）B A、制御信号回路 C T L とからなっている。2 値データ電位増幅回路 B A は、制御信号回路 C T L から 2 値データ信号線駆動回路 B I N S D のサンプリング部へ 2 値データ電位 V B を供給する配線である 2 値データ電位供給線 V B _ L の途中に挿入されている。

【 0 1 4 2 】

画素アレイ A R Y は、互いに交差する複数の走査信号線 G L とデータ信号線 S L とを備えており、隣接する 2 本の走査信号線 G L と隣接するデータ信号線 S L とで囲まれた部分に画素 P I X がマトリクス状に設けられている。

【 0 1 4 3 】

画素 P I X は、図 2 5 に示すように、スイッチ素子 S W と液晶容量 C L 及び補助容量 C S からなっている。

【 0 1 4 4 】

次に、画像表示装置の駆動方法の一例として、自然画等の多階調データの上に文字情報等の 2 値データを表示するスーパーインポーズを行った場合について説明する。

【 0 1 4 5 】

まず、多階調のアナログデータ信号線駆動回路 S D は、クロック信号 C K S、データスタート信号 S P S 等のタイミング信号に同期して、アナログスイッチで入力された映像信号 D A T をサンプリングし、各データ信号線 S L に順次書き込む。

【 0 1 4 6 】

次に、2 値データ信号線駆動回路 B I N S D は、前記多階調のアナログデータ信号線駆動回路 S D と同様にクロック信号 C K S、データスタート信号 S P S 等のタイミング信号に同期して、2 値データ信号 D I G D A T に応じて各データ信号線毎に設けたデータ保持回路に 2 値データ信号 D I G D A T を順次保持していく。さらに、前記多階調のアナログデータ信号線駆動回路 S D により、各データ

信号線への書き込みが終了したのちに、前記データ保持回路にデータの有意を示す電位が保持されていた場合、データ保持回路の出力と前記転送指示信号 T R F に同期して前記 N A N D 回路を介し、前記アナログスイッチを制御することにより、2 値データ電位 V B をサンプリングし、複数のデータ信号線に 2 値データ電位 V B を一括して書き込む。なお、ここでは、ノーマリーホワイトであるとし、非点灯用電位 V B（液晶駆動黒電位）をこのように説明の便宜上、2 値データ電位と称することとする。もし、ノーマリーブラックの場合であれば、2 値データ電位は点灯用電位 V W（液晶駆動白電位）とすればよい。

【 0 1 4 7 】

また、走査信号線駆動回路 G D は、クロック信号 C K G、走査スタート信号 S P G、パルス幅制御信号 P W C 等のタイミング信号に同期して、走査信号線 G L を順次選択し、画素 P I X 内にあるスイッチ素子 S W の開閉を行うことによって、各データ信号線 S L に書き込まれた映像信号 D A T または 2 値データ電位 V B を各画素に書き込み、各画素内の補助容量 C S、液晶容量 C L で書き込まれた映像信号 D A T または 2 値データ電位 V B を保持する。

【 0 1 4 8 】

以上の働きを繰り返し行うことによって、画素アレイ A R Y に画像を表示する。

【 0 1 4 9 】

この時、2 値データ電位 V B としては、複数のデータ信号線に対して一括して電位を供給することとなり、2 値データ電位 V B が電位変動をきたし、データ信号線に所望の電位を供給できずに画像表示装置の表示品位を劣化させてしまう。これを防止するために、外部に、上述のように、2 値データ電位の電流を増幅する 2 値データ電位増幅回路 B A を設け、2 値データ電位 V B の供給能力を大きくすることが考えられる。

【 0 1 5 0 】

次に、画像表示装置の別の例として、図 1 9 に示す画像表示装置を説明する。このような構成をとることにより、上記図 2 4 のように 2 値データ電位増幅回路 B A を設ける構成と比べて、消費電力の増加を抑えることができる。

【0151】

図19は、画像表示装置の構成例を示すブロック図である。本ブロック図は、多階調のアナログデータ信号線駆動回路SD、2値データ信号線駆動回路BINSD、走査信号線駆動回路GD、データ信号線SL_i ($i \geq 1$)、走査信号線GL_j ($j \geq 1$)、画素PIXからなる画素アレイARY、制御信号回路CTL、及び2値データ電位安定部STで構成されている。

【0152】

2値データ電位安定部STは、制御信号回路CTLから2値データ信号線駆動回路BINSDのサンプリング部へ2値データ電位VBを供給する配線である2値データ電位供給線VB__Lの途中に挿入されている。2値データ電位安定部STの内部には、後述するように、この2値データ電位供給線VB__Lから電荷を受け取って保持する電荷保持部が設けられている。

【0153】

また、多階調のアナログデータ信号線駆動回路SD、2値データ信号線駆動回路BINSD、走査信号線駆動回路GD、及び各画素PIXを構成する各スイッチ素子は同一基板上に、600度以下のプロセス温度の多結晶シリコン薄膜トランジスタで形成されている。

【0154】

また、前記2値データ電位安定部STは、図21に示すように、2値データ電位供給線VB__Lから供給される電荷を保持する電荷保持部と上記電荷保持部で保持される電荷量を抵抗値にて決定する電流制御部とで構成されている。ここでは、電荷保持部はコンデンサCで構成し、電流制御部は消費電力を抑える目的で抵抗Rで構成されている。さらに、コンデンサCの容量は少なくとも、複数のデータ信号線の総容量よりも大きく、かつ、電流制御部と電荷保持部との時定数は、映像信号の表示期間内に十分な電位に安定させる程度の最適値をとるという条件を満たすように、前記コンデンサC及び抵抗Rの値は定められている。ここでは、2値データ電位安定部STにコンデンサC、抵抗RからなるRC回路を用いたが、この条件を満たすのであれば、その他の電子素子を用いても構わない。

【0155】

制御信号回路 C T L は、各制御信号を図 2 0 のタイミングチャートに示すように出力する。ここでは、2 値データ信号線駆動回路が外部からのタイミング信号に応じて 2 値データ電位をデータ信号線に供給する所定の期間として、水平帰線期間を用いている。なお、ここでは、上記同様ノーマリーホワイトであるとし、非点灯用電位 V B (液晶駆動黒電位) を説明の便宜上、2 値データ電位と称することとする。もし、ノーマリーブラックの場合であれば、2 値データ電位は点灯用電位 V W (液晶駆動白電位) とすればよい。

【 0 1 5 6 】

また、本実施の形態では、画素 P I X に書き込む、多階調データ信号である映像信号 D A T、および 2 値データ電位 V B が 1 水平走査期間ごとに極性が正負に切り替わる 1 H 反転駆動という駆動方法を用いている。

【 0 1 5 7 】

次に本実施の形態の画像表示装置の駆動方法の一例として、自然画等の多階調データの上に文字情報等の 2 値データを表示するスーパーインポーズを行った場合について説明する。

【 0 1 5 8 】

まず多階調のアナログデータ信号線駆動回路 S D は、図 2 0 に示したクロック信号 C K S、データスタート信号 S P S 等のタイミング信号に同期して、アナログスイッチで入力された正極性の映像信号 D A T をサンプリングし、各データ信号線 S L i に順次書き込む。

【 0 1 5 9 】

次に、2 値データ信号線駆動回路 B I N S D は、前記多階調のアナログデータ信号線駆動回路 S D と同様に、クロック信号 C K S、データスタート信号 S P S 等のタイミング信号に同期して、2 値データ信号 D I G D A T に応じて、各データ信号線毎に設けたデータ保持回路に 2 値データ信号 D I G D A T を順次保持していく。さらに、前記多階調のアナログデータ信号線駆動回路 S D により各データ信号線への書き込みが終了した後に、前記データ保持回路にデータの有意を示す電位が保持されていた場合、データ保持回路の出力と前記転送指示信号 T R F に同期して、前記 N A N D 回路を介し、前記アナログスイッチを制御することに

より、正極性の2値データ電位 V_B をサンプリングし、複数のデータ信号線に正極性の2値データ電位 V_B を一括して書き込む。この時、2値データ電位 V_B は、2値データ電位安定部 ST 内のコンデンサ C に1水平走査期間内で十分に充電されており、転送指示信号 TRF に応じて複数のデータ信号線に電荷の移動が開始されても、電荷保持部の前記のコンデンサ C に蓄えられた電荷が移動を始めるため、2値データ電位 V_B の変動を最低限に抑えることが可能となる。また、電流制御部である抵抗 R によって、制御信号回路 CTL からの電流の流入を抑え、制御信号回路での電源変動を抑えることが可能となる。

【0160】

また走査信号線駆動回路 GD は、クロック信号 CKG 、走査スタート信号 SPG 、パルス幅制御信号 PWC 等のタイミング信号に同期して、走査信号線 GL_j を順次選択するが、データ信号線に多階調のアナログデータ信号線駆動回路 SD によって正極性の映像信号 DAT 、または2値データ信号線駆動回路 $BIND$ によって正極性の2値データ電位 V_B が書き込まれた後、走査信号線駆動回路 GD によって走査信号線 GL_j の選択を終了する。同時に画素 PIX はスイッチ素子 SW によりデータ信号線 SL と切り離され、各画素内の液晶容量 CL 、補助容量 CS で書き込まれた映像信号 DAT または2値データ電位 V_B を保持する。

【0161】

ところで、液晶表示装置の場合、従来例でも述べたが、画素 PIX はスイッチ素子 SW と液晶容量 CL 及び補助容量 CS からなっている。これら容量の一端はスイッチ素子 SW を介してデータ信号線 SL に接続されており、他端には対向電位と呼ばれる電位が印加されている。つまり、画素 PIX に書き込まれた映像信号 DAT または2値データ電位 V_B は、対向電位 V_{COM} との電位差によって、液晶に印加され、液晶を通過する光を変調することにより様々な表示状態を実現している。本実施の形態では、対向電位 V_{COM} （図20上に点線で示している）は直流電位で与えられており、映像信号 DAT または2値データ電位 V_B の正極性、負極性とは、この対向電位 V_{COM} を基準として表している。

【0162】

ここまでは、画素 PIX に書き込む映像信号 DAT が1水平走査期間毎に極性

が正負に切り替わる 1 H 反転駆動という駆動方法について述べてきたが、本発明は、その他の駆動方法にも適用することができる。

【0163】

また、ここでは多階調のアナログデータ信号線駆動回路と 2 値データ信号線駆動回路とを共に動作させ、自然画等の多階調データの上に文字情報等の 2 値データを表示するスーパーインポーズを行った場合について説明を行ったが、必要に応じて前記多階調のアナログデータ信号線駆動回路を停止させ、2 値データ信号線駆動回路のみによって 2 値の情報である文字・図形情報を表示させる場合においても本発明を適用できることは言うまでも無い。

【0164】

このように、ここでは、さらなる低消費電力化を図るために、液晶駆動黒電位と液晶駆動白電位とを 2 値データ信号線駆動回路 B I N S D に入力する前段に、2 値データ電位安定部 S T を設けている。

【0165】

すなわち、2 値データ信号線駆動回路 B I N S D の転送指示信号 T R F は水平帰線期間中に作用するため、液晶駆動黒電位は 1 H に一度、水平帰線期間中のみに表示部に出力される。つまり、画素は、液晶駆動黒電位としては、転送指示信号 T R F が作用する時点で所望の液晶駆動黒電位に達していればよく、高速に極性が変化しなくてもよい。

【0166】

上記 2 値データ電位安定部 S T は、受動素子の容量 C と抵抗 R とからなっており、容量 C は、表示部にデータを供給する全てのデータ信号線容量の和より大きく、抵抗 R は、1 H の時間（約 $63 \mu s$ ）内に上記容量 C に対して電荷を十分蓄えられる程度に電流を流せる大きさにすればよい。図 2 2 に波形を示す。

【0167】

上記例では 2 値データ電位安定部 S T にコンデンサ C、抵抗 R からなる R C 回路を用いたが、その他の例として、図 2 3 に示すように、インダクタンス L、コンデンサ C からなる L C 回路を用いることもできる。すなわち、同図は、電流制限素子（電流制御部）としてインダクタンスを用いた場合を示している。例えば

、容量素子（電荷保持部）としてコンデンサ C を $1 \mu F$ とし、データ電位は $1 H$ ごとに変化させ、液晶は $1 H$ ごとに交流駆動する。上記 LC 回路の遮断周波数 f_c は $1 H$ の周波数 $15.87 kHz$ より大きくする必要があるので、このときのインダクタンス L の大きさは以下のように求めることができる。すなわち、

$$f_c > 1 / \{ 2 \pi \sqrt{LC} \}$$

より

$$L > 1 / (4 \pi^2 f_c^2 C)$$

なので

$$L > 100 \mu H$$

となり、 L が $100 \mu H$ 以上であれば、上記 LC 回路の構成をとっても 2 値データ電位安定部 ST を実現することができる。

【0168】

〔実施の形態 7〕

本発明のさらに他の実施の形態について図 26 ないし図 39 に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記の実施の形態の図面に示した部材と同一の機能を有する部材には同一の符号を付記してその説明を省略する。

【0169】

本実施の形態では、前記の実施の形態 1 ないし 6 に係る構成に、さらにプリチャージ機能を付加したものである。ここで、プリチャージ機能とは、アナログデータ信号線駆動回路 SD の動作を補助するものである。具体的には、アナログデータ信号線駆動回路 SD は、すでに述べたとおり、アナログ映像信号をシフトレジスタの出力に応じてデータ信号線にサンプリングしていく。また、液晶表示素子は、液晶材料の劣化を防ぐために交流電位が与えられる。一般的に、 $1 H$ 反転駆動（ 1 水平走査期間ごとに極性が変化）やフレーム反転駆動等が知られている。

【0170】

そのため、例えば、アナログデータ信号線駆動回路 SD がプラス極性のアナログ映像信号をサンプリングする前、データ信号線には、前の $1 H$ の期間にサンプ

リングされたマイナス極性の電位が保持されている。ここでもし、上述したアナログデータ信号線駆動回路SDのスイッチの能力が十分でない場合、所望のアナログ映像信号の電位が書き込まれない恐れがあり、表示劣化を引き起こしてしまう。

【0171】

そこで、アナログデータ信号線駆動回路SDとで表示部を挟んで逆側に、プリチャージ回路を備えることが考えられる。駆動方法は、例えば、ある1Hでマイナス極性のアナログ映像信号がデータ信号線に供給された場合、サンプリング終了後、水平帰線期間に入ると、プリチャージ回路に入力されているプリチャージ電位PVIDを、プリチャージコントロール信号PCLTに応じてデータ信号線に一括供給する。このとき、プリチャージ電位PVIDは任意の電位でよい。プリチャージが行われると、データ信号線の電位はプリチャージ電位と同電位になる。図26に波形を示す。また、プリチャージ動作を行わない場合のデータ信号線の電位波形を図27に示す。このように、駆動回路を構成するトランジスタの特性が十分でないと、プリチャージ回路が必要となる。

【0172】

そこで、本実施の形態では、図28に示すような2値データ信号線駆動回路BINSDを用いる。この2値データ信号線駆動回路BINSDは、シフトレジスタ部、SEL-LOG部、データラッチ部、セクタ部を備えている。図中、Protは保護回路である。シフトレジスタ部は図29に示すような構成を有し、SOR部は、図30に示すような構成を有している。データラッチ部は、すでに述べた図4、図17に示すような構成を有している。

【0173】

SEL-LOG部は図31に示すような構成を有し、IN1とIN2とにそれぞれSIMP_ORGとTRF_ORGが入力され、OUT1およびOUT2から転送指示信号TRFとスーパーインポーズ指示信号SIMPとを出力する。その波形を図32に示す。

【0174】

セクタ部の1つのユニットは、図33に示すように、デジタルRGBデータ

ごとに3つのブロックで構成されている。

【0175】

そのブロックの詳細を図34に示す。このブロックは、(1) 転送指示信号TRFとデータラッチ部の出力信号である2値データ信号DIGDAT(図中、LR/G/Bに相当する)とを入力とする2入力NANDと、(2) データラッチ部の出力信号である2値データ信号DIGDATとスーパーインポーズ指示信号SIMPと転送指示信号TRFとプリチャージコントロール信号PCLTとを入力とする内部セクタ(Internal Selector)(SEL-CORE)と、(3) バッファ(Buffer)と、(4) 上記2入力NANDの出力に応じて液晶駆動黒電位の出力を制御するアナログスイッチASWBと、(5) 上記内部セクタの出力に応じて液晶駆動白電位およびプリチャージ電位の出力を制御するアナログスイッチASWAとを有している。なお、アナログスイッチASWAの出力とASWBの出力とは、同じデータ信号線SLに接続されている。また、図中、SAおよびSBは、それぞれ、後述の図36および図37における、プリチャージ・白書き込み信号SA、黒書き込み信号SBを表している。

【0176】

内部セクタは、図35に示すように複合論理回路を構成している。

【0177】

すなわち、本実施の形態では、すでに述べたきたような2値データ信号線駆動回路BINS Dを、アナログデータ信号線駆動回路SDのためのプリチャージ回路としても機能させることとしている。例えば、ある1Hでマイナス極性のアナログ映像信号がデータ信号線に供給された場合、サンプリング終了後、水平帰線期間に入ると、2値データ信号線駆動回路BINS Dに入力される2値データ電位である点灯用電位VWを、プリチャージ電位PVIDとして、プリチャージコントロール信号PCLTに応じてデータ信号線に一括供給する。このとき、プリチャージ電位PVIDは任意の電位でよく、例えばここではアナログ映像信号の各極性の最大値からの中央値(直流(DC)6V、液晶の対向電位VCOMと同電位)に設定している。なお、ここでは上記のようにプリチャージ電位はVCOMと同じく中央の6Vであるが、VCOMと異なる値、例えば3Vや5Vにする

こともできる。プリチャージが行われると、データ信号線の電位はプリチャージ電位と同電位になる。波形は上述の通り図 2 6 のようになる。

【 0 1 7 8 】

その動作について、図 3 6 および図 3 7 を用いて説明する。

【 0 1 7 9 】

図 3 6 は、2 値データ信号が有意でないとき（データが無いとき）である。

【 0 1 8 0 】

同図中、図の中心の縦方向に示した線 L の左側は、2 値データ信号線駆動回路 B I N S D のみを駆動した場合の、入力波形やデータ信号線（ソースバスライン）電位等の状態を示している。

【 0 1 8 1 】

2 値データ信号 D I G D A T が有意ではないので、データ信号線には液晶駆動白電位が転送指示信号 T R F によって書き込まれている。転送指示信号 T R F が L o w になると、プリチャージコントロール信号 P C L T が H i g h になり、データ信号線にプリチャージ電位 P V I D が出力される。しかしながら、ここでは液晶駆動白電位とプリチャージ電位 P V I D の供給先は同じであるため、データ信号線の電位は変化しない。また、このとき、図示しないが、画素のスイッチ素子 S W を駆動する走査信号は、プリチャージコントロール信号 P C L T が H i g h になる前に作用し、画素のスイッチ素子 S W をオフするようにしている。よって、画素電位は液晶駆動白電位が保持されている（ノーマリーホワイトの場合）。

【 0 1 8 2 】

一方、同図の中心の縦方向に示した線 L の右側は、アナログデータ信号線駆動回路 S D の表示画像に 2 値データ信号線駆動回路 B I N S D の表示画像をスーパーインポーズする場合の、入力波形やデータ信号線（ソースバスライン）電位等の状態を示している。スーパーインポーズのモードであるが、同図においては 2 値データ信号 D I G D A T の出力が無効であるため、アナログデータ信号線駆動回路 S D によって表示された画像のみが表示される。

【 0 1 8 3 】

波形およびデータ信号線電位の「 α 」と記した時点は、アナログデータ信号線駆動回路SDによってアナログ映像信号が書き込まれた様子を示している。ここでは、スーパーインポーズ指示信号SIMPがアクティブになっても、2値データ信号が有意でないため、データラッチ部の出力信号である2値データ信号DIGDATがLowとなり、アナログスイッチASWAおよびASWBは作用せず、データ信号線には何も出力されない。よって、表示部には、アナログデータ信号線駆動回路SDが出力した映像が表示されている。次に、図示しないが走査信号が画素のスイッチ素子SWをオフさせると、プリチャージコントロール信号PCLTが作用し、データ信号線にプリチャージ電位が出力される（ β 時点）。

【0184】

次に、図37は、2値データ信号が有意な場合についてである。

【0185】

同図中、図の中心の縦方向に示した線Lの左側は、2値データ信号線駆動回路BINS Dのみを駆動した場合の、入力波形とデータ信号線（ソースバスライン）電位を示したものである。2値データ信号DIGDATが有意であるため、転送指示信号TRFによってデータ信号線には液晶駆動黒電位が供給される。すなわち、文字表示のみのモードであり、文字データがある画素には液晶駆動黒電位が供給され、文字データが無い画素には液晶駆動白電位が供給される（ノーマリーホワイトの場合）。このときもまた、画素のスイッチ素子SWが走査信号によってオフした後、プリチャージコントロール信号PCLTが作用し、プリチャージ電位が書き込まれていることがわかる（ γ 時点）。

【0186】

一方、同図の中心の縦方向に示した線Lの右側は、スーパーインポーズの状態を示している。アナログデータ信号線駆動回路SDによってデータ信号線に映像信号が書き込まれたデータ信号線に対して、液晶駆動白電位を書き込む場合である。

【0187】

すなわち、アナログデータ信号線駆動回路SDによってデータ信号線に映像信号が書き込まれるが、そのうちで、データが有意であるデータ信号線に対して、

すでに述べたように、2 値データ信号線駆動回路 B I N S D によって、水平帰線期間中に、スーパーインポーズ指示信号 S I M P とデータラッチ部の出力信号である 2 値データ信号 D I G D A T とにより、アナログスイッチ A S W 2 が開き、液晶駆動白電位をデータ信号線に書き込む。これにより、アナログデータ信号線駆動回路 S D によって表示された画像の上に、2 値データ信号線駆動回路 B I N S D の 2 値画像（文字など）が、その画像がある箇所にだけ、白抜きで描かれることになる（ノーマリーホワイต์の場合）。

【 0 1 8 8 】

その後、次の 1 水平走査期間が始まるまでに、画素のスイッチ素子 S W が走査信号によってオフすると、プリチャージコントロール信号 P C L T によって、プリチャージ電位が書き込まれ、プリチャージが完了する。

【 0 1 8 9 】

以上のように、2 値データ信号線駆動回路 B I N S D にてスーパーインポーズの機能や 2 値データ信号線駆動回路 B I N S D での文字表示を実現させるとともに、この 2 値データ信号線駆動回路 B I N S D を用いて、アナログデータ信号線駆動回路 S D の補助を行うプリチャージも行うことができる。それゆえ、プリチャージ動作のための専用の回路を別途新たに設ける必要がなく、回路構成を簡素化することができる。

【 0 1 9 0 】

なお、文字表示だけの表示、つまり、2 値データ信号線駆動回路 B I N S D で表示を行う場合は、アナログデータ信号線駆動回路 S D の入力信号を停止させたり、アナログデータ信号線駆動回路 S D を構成する回路への電源を供給させるなどして、さらに低消費電力化を図ることができる。

【 0 1 9 1 】

また、上記プリチャージは、2 値データ信号線駆動回路 B I N S D で表示を行うときには停止させてもよい。アナログデータ信号線駆動回路 S D での、データ信号線へのアナログ映像信号のサンプリングは、表示フォーマットにもよるが、例えば Q V G A 程度のものであれば百数十 n s ほどで完了しなければならないが、2 値データ信号線駆動回路 B I N S D の場合は、水平帰線期間中の約半分程度

(約 $6 \mu s$) のように、データ信号線に電位を供給するには十分な時間があるため、プリチャージを停止させても充電に支障をきたす恐れはない。

【0192】

また、近年の低電圧インターフェース化により、ここまで述べてきた各入力信号は、各駆動回路の電源電圧よりも低い電圧（例えば $3.3V$ や $5V$ 程度）で入力されており、また、パネル内部に各信号ごとに、すでに述べたようなレベルシフタを備えることができる。このレベルシフタは、電流駆動型（定常電流が流れる電圧増幅器）を用いた場合には、信号の入力が無い場合でも電流が流れ、消費電力が増加することが考えられる。そこで、駆動回路等を構成する種々の回路への電源供給を停止させる場合は、電流駆動型レベルシフタを停止させることが望ましい。つまり、プリチャージを停止させるには、プリチャージコントロール信号 $PCLT$ 用のレベルシフタを停止させればよい。アナログデータ信号線駆動回路 SD を停止させるには、例えば、スタートパルスやクロック信号のためのレベルシフタを停止させればよい。また、アナログデータ信号線駆動回路 SD のみを動作させる場合は、2 値データ信号線駆動回路 $BINS$ に入力される信号 (TRF 、 $SIMP$) のためのレベルシフタを停止させればよい。

【0193】

ここで、図 38 は、プリチャージ電位 $PVID$ を、液晶駆動白電位 VW と兼用せずに別個に設けた場合の回路ブロック図である。このときの内部セレクタ ($SEL-CORE2$) は、図 39 のようなデコーダ回路を用いることによって実現することができる。このとき、外部から入力する各制御信号 TRF 、 $SIMP$ 、および $PCTL$ は、互いに $High$ 期間（アクティブ期間）が重ならないように入力する。このような構成を用いることにより、任意のプリチャージ電位 $PVID$ をデータ信号線に充電することが可能になる。一方、プリチャージ電位 $PVID$ を液晶駆動白電位 VW と兼用した場合は、プリチャージ電位 $PVID$ を供給するための専用の回路を別途新たに設ける必要がなく、回路構成を簡素化することができる。

【0194】

本発明の画像表示装置は、マトリクス状に配置された複数の画素と該画素の各

列に配置された複数のデータ信号線及び該画素の行に対応して配置された走査信号線を有し、各走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のための表示される表示部と、該複数のデータ信号線に所定のタイミング信号に同期して、映像信号を出力する同一のデータ信号線に接続された複数のデータ信号線駆動回路と該複数の走査信号線に所定のタイミング信号に同期して、走査信号を出力する走査信号線駆動回路を備え、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、所定のタイミングで動作するシフトレジスタ部とそのシフトレジスタ出力に応じて別途、入力されるデジタルデータ（2 値データ信号）をサンプリングして保持するデータ保持部と、その保持されたデータに応じて、点灯用電位と非点灯用電位を切りかえるデータ切替部と、そのデータ切替部の出力とデータ信号線との間に設けられ、外部から入力される転送指示信号によって出力制御を行う出力制御部と、出力制御部の出力を備えた構成とすることができる。

【0 1 9 5】

これにより、複数の画像データを、予め合成することなく重ねて表示することが可能な画像表示装置を提供でき、さらに低消費電力化することができる。

また、上記出力制御部は、外部から入力される表示状態選択信号によって、データ保持部の出力が有意な場合にデータ信号線に点灯用電位または非点灯用電位を供給してもよい。

【0 1 9 6】

これにより、2 値データ信号線駆動回路 B I N S D でのみ、データ信号線 S L が駆動されたことになり、このとき、アナログデータ信号線駆動回路 S D に対して、スタート信号 S P、クロック信号 C K および映像信号 D A T を停止させることにより、使用時と待機時とでそれぞれの要求に合った駆動が可能になる。

【0 1 9 7】

また、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路はデータ信号線への出力が複数のデータ信号線に接続されていてもよい。

【0 1 9 8】

これにより、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路はデータ信号線への出力が複数のデータ信号線に接続されているため、他方のデータ信号線駆動回路より、低い周波数で駆動するため、消費電力を削減でき、かつ使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、さらに低消費電力化が可能になる。

【 0 1 9 9 】

また、上記複数のデータ信号線駆動回路はデータ信号線への出力タイミングが互いに重ならないように構成することもできる。

【 0 2 0 0 】

これにより、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することなく、良好な表示が得られるとともに、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低消費電力化が可能になる。

【 0 2 0 1 】

また、上記転送指示信号を水平帰線期間中にアクティブにし、一括して点灯用電位または、非点灯用電位を供給してもよい。

【 0 2 0 2 】

これにより、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することなく、良好な表示が得られるとともに、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低消費電力化が可能になる。

【 0 2 0 3 】

また、上記複数のデータ信号線駆動回路のうち何れかを停止させてもよい。

【 0 2 0 4 】

これにより、上記複数のデータ信号線駆動回路のうち、何れかを停止させるため、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可

能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低消費電力化が可能になる。

【 0 2 0 5 】

また、本発明の画像表示装置は、マトリクス状に配置された複数の画素と該画素の各列に配置された複数のデータ信号線及び該画素の行に対応して配置された走査信号線を有し、各走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のための表示される表示部と、該複数のデータ信号線に所定のタイミング信号に同期して、映像信号を出力する同一のデータ信号線に接続された複数のデータ信号線駆動回路と該複数の走査信号線に所定のタイミング信号に同期して、走査信号を出力する走査信号線駆動回路を備え、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、上記所定のタイミング信号とデジタルデータが電源電圧より低い電位を持つ場合、上記シフトレジスタ部のタイミング信号の入力部と前記データ保持部のデジタルデータ入力部にレベルシフタを設け、そのレベルシフタで昇圧されたタイミング信号によるシフトレジスタ出力に応じて前記デジタルデータをサンプリング後、保持し、保持されたデータに応じて、点灯用電位と非点灯用電位を切りかえるデータ切替部と、そのデータ切替部の出力とデータ信号線との間に設けられ、外部から入力される転送指示信号によって出力制御を行う出力制御部を構成とすることができる。

【 0 2 0 6 】

これにより、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低電圧インターフェイスを持った低消費電力化が可能になる。

【 0 2 0 7 】

また、前記データ保持部に設けられたレベルシフタに制御手段を設け、デジタルデータをサンプリングし保持するために入力されるシフトレジスタの出力信号がアクティブの間のみ動作させてもよい。

【 0 2 0 8 】

これにより、レベルシフタが必要以外は停止するため、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低電圧インターフェイスを持った低消費電力化が可能になる。

【 0 2 0 9 】

また、上記各レベルシフタは、電流駆動型のレベルシフタ部を含んでいてもよい。

【 0 2 1 0 】

これにより、レベルシフタを構成するトランジスタの特性が低い場合でも、レベルシフタは動作が可能である。また、レベルシフタが必要以外は停止するため、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ、低電圧インターフェイスを持った低消費電力化が可能になる。

【 0 2 1 1 】

また、上記制御手段は、上記各レベルシフタへの入力信号として入力スイッチング素子が遮断するレベルの信号を与えることによって当該レベルシフタを停止させてもよい。

【 0 2 1 2 】

これにより、制御手段は、レベルシフタを停止できるとともに、停止中、入力スイッチング素子に流れる電流分だけ、消費電力を低減できる。

【 0 2 1 3 】

また、上記制御手段は、上記各レベルシフタへの電力供給を停止して、当該レベルシフタを停止させてもよい。

【 0 2 1 4 】

これにより、制御手段は、各レベルシフタの電力供給を停止して、当該レベルシフタを停止させる。これにより、制御手段は、レベルシフタを停止できると共に、動作中にレベルシフタで消費する電力の分だけ、消費電力を低減できる。

【 0 2 1 5 】

また、上記制御手段は、上記レベルシフタ部に入力されるデジタルデータが入力されるトランジスタのゲート容量を前記デジタルデータの伝送線から切り離し、当該伝送線の容量を低減することを目的とし入力制御を行ってもよい。

【 0 2 1 6 】

これにより、当該デジタルデータの伝送線の容量を低減することができる。

【 0 2 1 7 】

また、上記出力制御部は、外部から入力される表示状態選択信号によって、データ保持部の出力が有意な場合にデータ信号線に点灯用電位または非点灯用電位を供給してもよい。

【 0 2 1 8 】

これにより、2値データ信号線駆動回路B I N S Dでのみ、データ信号線S Lが駆動されたことになり、このとき、アナログデータ信号線駆動回路S Dに対して、スタート信号S P、クロック信号C Kおよび映像信号D A Tを停止させることにより、使用時と待機時とでそれぞれの要求に合った駆動が可能なる。また、低電圧インターフェイスを持つためさらに低消費電力化できる。

【 0 2 1 9 】

また、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路はデータ信号線への出力が複数のデータ信号線に接続してもよい。

【 0 2 2 0 】

これにより、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路はデータ信号線への出力が複数のデータ信号線に接続されているため、他方のデータ信号線駆動回路より、低い周波数で駆動するため、消費電力を削減でき、かつ使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低電圧インターフェイスを持った低消費電力化が可能になる。

【 0 2 2 1 】

また、上記画像表示装置の駆動方法において、上記複数のデータ信号線駆動回路はデータ信号線への出力タイミングが互いに重ならないようにしてもよい。

【 0 2 2 2 】

これにより、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することなく、良好な表示が得られるとともに、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低電圧インターフェイスを持った低消費電力化が可能になる。

【 0 2 2 3 】

また、上記画像表示装置の駆動方法において、上記転送指示信号を水平帰線期間中にアクティブにし、一括して点灯用電位または非点灯用電位を供給するようにしてもよい。

【 0 2 2 4 】

これにより、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することなく、良好な表示が得られるとともに、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低電圧インターフェイスを持った低消費電力化が可能になる。

【 0 2 2 5 】

また、上記画像表示装置において、上記複数のデータ信号線駆動回路のうち、何れかを停止させるようにしてもよい。

【 0 2 2 6 】

これにより、消費電力を削減でき、使用時と待機時とでそれぞれの要求に合った駆動が可能な画像表示装置を提供でき、複数の画像データを、予め合成することなく、重ねて表示でき、かつ低電圧インターフェイスを持った低消費電力化が可能になる。

【 0 2 2 7 】

また、上記画像表示装置において、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成するスイッチ素子は多結晶シリコン薄膜トランジスタからなるようにしてもよい。すなわち、前記複数のデータ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチング素子を含んでいるようにしてもよい。

【 0 2 2 8 】

これにより、表示面積を容易に拡大でき、さらに、同一基板上に容易に形成できるので、製造時の手間や各信号線の容量を削減できる。加えて、上記各構成のシフトレジスタが使用されているので、回路規模の縮小による狭額縁化、及び低振幅のクロック信号でも、レベルシフタを設けことによって、シフトレジスタを制御した場合でも、消費電力の低減が実現できる。

【 0 2 2 9 】

また、上記画像表示装置において、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成する各スイッチ素子が 6 0 0 度以下のプロセス温度で製造されるようにしてもよい。

【 0 2 3 0 】

これにより、基板として安価なガラス基板を使用することができ、より表示面積の広い画像表示装置を安価に提供できる。

【 0 2 3 1 】

また、本発明の画像表示装置は、マトリクス状に配置された複数の画素と、該画素の各列に配置された複数のデータ信号線と、該画素の各行に配置された走査信号線と、前記複数のデータ信号線に所定のタイミング信号に同期して別途入力される映像信号を出力するデータ信号線駆動回路と、前記複数の走査信号線駆動回路と、前記画素、走査信号線及びデータ信号線を有し前記データ信号線駆動回路に入力される映像信号に基づき画像を表示する表示部とを備え、前記複数のデータ信号線駆動回路の少なくとも一つは、2 値のデータ信号に応じて外部から供給される 2 値データ電位を決定し、所定の期間内に外部からのタイミング信号に応じて、前記 2 値データ電位をデータ信号線に供給する 2 値データ信号線駆動回路を備えた画像表示装置の駆動方法において、前記 2 値データ電位を安定化させるための 2 値データ電位安定部を有する構成とすることができる。

【 0 2 3 2 】

上記構成によれば、各データ信号線に任意の 2 値データ電位を充電するための 2 値データ信号線駆動回路へ入力される 2 値データ電位を安定化させるための 2 値データ電位安定部を有することにより、2 値データ電位の変動を抑制し、所望

の電位をデータ信号線に充電できるようになり、画像表示装置の画質劣化を抑え、また、電流増幅回路を必要としないため、消費電力の増加を抑制することが可能となる。

【 0 2 3 3 】

すなわち、上記構成によれば、消費電力の増加を抑え、データ信号線への 2 値データ電位の書き込み性能を向上させることができる。

【 0 2 3 4 】

また、本発明の画像表示装置は、上記画像表示装置において、2 値データ電位安定部は、電流制御部と、電荷保持部とで構成とすることができる。

【 0 2 3 5 】

上記構成によれば、2 値データ電位安定部は、電流制御部と、電荷保持部とで構成されているため、データ信号線へ供給する電位（電荷）を電荷保持部に保持することにより、2 値データ電位制御信号である転送指示信号 T R F（トランスファ信号）が作用している間は、この電荷保持部から電荷を供給すればよい。また、制御信号回路から供給される 2 値データ電位は転送指示信号が非作用時に電荷保持部に供給すればよく、電流制御部を用いることにより、必要以上に電流を流すことなく電荷保持部に供給できるので、前記効果同様に画像表示装置の画質劣化を抑えるとともに、消費電力を低下することが可能となる。

【 0 2 3 6 】

また、本発明の画像表示装置は、上記画像表示装置において、電荷保持部は、容量（コンデンサ）で構成してもよい。これにより、前記効果同様に画像表示装置の画質劣化を抑えるとともに、最適な電荷保持量を選択できる。

【 0 2 3 7 】

また、本発明の画像表示装置は、上記画像表示装置において、電流制御部は抵抗で構成されてもよい。これにより、前記効果同様に画像表示装置の画質劣化を抑えるとともに、消費電流増大の抑制を図ることができる。

【 0 2 3 8 】

また、本発明の画像表示装置は、上記画像表示装置において、電荷保持部における、容量（コンデンサ）の容量は少なくとも、前記複数のデータ信号線の総容

量よりも大きい構成とすることができる。

【0239】

上記構成によれば、電荷保持部における、容量（コンデンサ）の容量は少なくとも、複数のデータ信号線の総容量よりも大きくすることによって、転送指示信号が作用している間、電荷保持部に蓄えられた電荷を供給するだけでよく、制御信号回路から新たに電荷を供給することが必要なくなるので、前記効果同様に画像表示装置の画質劣化を抑えるとともに、電流量を抑制でき消費電力を抑えることが可能となる。

【0240】

また、本発明の画像表示装置は、上記画像表示装置において、2値データ電位安定部を構成する、電流制御部と電荷保持部の時定数は、映像信号の表示期間内に十分な電位に安定させる程度の最適値をとる構成とすることができる。

【0241】

上記の構成によれば、2値データ電位安定部を構成する、電流制御部と電荷保持部の時定数は、映像信号の表示期間内に十分な電位に安定させる程度の値をとることによって、例えば、1水平走査期間（1H）はNTSC信号の場合、約 $63\mu s$ であり、その時間内に十分に電位を保持することが可能となる。つまり、転送指示信号が作用するまでに、電荷保持部に十分に電荷を蓄えることが可能となり、制御信号回路から新たに電荷を供給することが必要なくなるので、前記効果同様に画像表示装置の画質劣化を抑えるとともに、電流量を抑制でき消費電力を抑えることが可能となる。

【0242】

液晶表示装置の場合、画素PIXを構成する容量の一端はスイッチ素子SWを介してデータ信号線SLに接続されており、他端には対向電位と呼ばれる電位が印加されている。つまり、画素PIXに書き込まれた映像信号DATまたは2値データ電位VBは、対向電位VCOMとの電位差によって、液晶に印加され、液晶を通過する光を変調することにより様々な表示状態を実現している。

【0243】

また、本発明の画像表示装置は、上記画像表示装置において、2値データ電位

は映像信号の 1 水平走査期間に同期して、交流電位を持つ構成とすることができる。

【 0 2 4 4 】

また、本発明の画像表示装置は、上記画像表示装置において、2 値データ電位は常に任意の直流電位を持つ構成とすることができる。

【 0 2 4 5 】

例えば、対向電位 VCOM は直流電位で与えられており、映像信号 DAT もしくは 2 値データ電位 VB の正極性、負極性とは、この対向電位 VCOM を基準として表すことができる。

【 0 2 4 6 】

以上のように、映像信号が正極性、負極性の状態を持っている場合に、その極性変化に同期して、2 値データ電位に交流電位を持たせることにより、最適な 2 値データ電位をデータ信号線に充電でき、2 値データ電位の変動を抑制し、所望の電位をデータ信号線に充電できるようになり、画像表示装置の画質劣化を抑えることが可能となる。

【 0 2 4 7 】

また、本発明の画像表示装置は、上記画像表示装置において、前記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素は同一基板上に形成される構成とすることができる。

【 0 2 4 8 】

上記の構成によれば、前記複数のデータ信号線駆動回路・走査信号線駆動回路及び各画素は、互いに同一の基板上に形成されており、前記複数のデータ信号線駆動回路と各画素との間の配線、並びに、走査信号線と各画素との間の配線は、当該基板上に配され、基板外に出す必要がない。この結果、データ信号線の数および走査信号線の数が増加しても、基板外に出す信号線の数が増加せず、組み立てる必要がないため、各信号線の容量の不所望な増大を防止できると共に、集積度の低下を防止できる。

【 0 2 4 9 】

ところで、多結晶シリコン薄膜は、単結晶シリコンに比べて、面積を拡大しや

すい一方で、多結晶シリコントランジスタは、単結晶シリコントランジスタに比べて、例えば、移動度や閾値などのトランジスタ特性が劣っている。したがって、単結晶シリコントランジスタを用いて各回路を製造すると、表示面積の拡大が難しく、多結晶シリコン薄膜トランジスタを用いて各回路を製造すると、各回路の駆動能力が低下してしまう。なお両駆動回路と各画素とを別の基板上に形成した場合は、各信号線で両基板間を接続する必要があり、製造時に手間がかかると共に、各信号線の容量が増大してしまう。

【 0 2 5 0 】

これに対して、上記本発明の画像表示装置によれば、前記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成する各スイッチ素子が、多結晶シリコン薄膜トランジスタからなる構成とすることができる。すなわち、前記複数のデータ信号線駆動回路、走査信号線駆動回路および各画素は、多結晶シリコン薄膜トランジスタからなるスイッチ素子を含んでいる構成とすることができる。

【 0 2 5 1 】

上記の構成では、前記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素はいずれも、多結晶シリコン薄膜トランジスタからなるスイッチ素子を含んでいるため、表示面積を容易に拡大できる。さらに、同一基板上に容易に形成できるので、製造時の手間や各信号線の容量を削減できる。加えて、前記各構成のシフトレジスタが使用されているので、回路規模の縮小による狭額縁化や消費電力の低減が実現できる。

【 0 2 5 2 】

また、本発明の画像表示装置は、上記画像表示装置において、前記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素は、600度以下のプロセス温度で製造されたスイッチ素子を含んでいる構成とすることができる。

【 0 2 5 3 】

前記構成によれば、スイッチ素子のプロセス温度が600度以下に設定されるので、各スイッチ素子の基板として、通常のガラス基板（歪み点が600度以下のガラス基板）を使用しても、歪み点以上のプロセスに起因する反りやたわみが

発生しない。この結果、実装がさらに容易で、より表示面積の広い画像表示装置を実現できる。

【 0 2 5 4 】

【発明の効果】

以上のように、本発明の画像表示装置は、マトリクス状に配置された複数の画素と、該画素の各列に配置された複数のデータ信号線及び該画素の行に対応して配置された走査信号線とを有し、各走査信号線から供給される走査信号に同期して各データ信号線から各画素に画像表示のためのデータを供給される表示部と、該複数のデータ信号線に所定のタイミング信号に同期して映像信号を出力する、同一のデータ信号線に接続された複数のデータ信号線駆動回路と、該複数の走査信号線に所定のタイミング信号に同期して走査信号を出力する走査信号線駆動回路とを備え、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、所定のタイミングで動作するシフトレジスタ部と、そのシフトレジスタ出力に応じて別途入力される2値データ信号をサンプリングして保持するデータ保持部と、その保持された2値データ信号に応じて、点灯用電位と非点灯用電位との2値データ電位を切りかえるデータ切替部と、そのデータ切替部の出力とデータ信号線との間に設けられ、外部から入力される転送指示信号によって上記データ切替部の出力制御を行う出力制御部とを備えた2値データ信号線駆動回路である構成である。

【 0 2 5 5 】

これにより、2値のテキストデータのみ表示できればよい場合は、2値データ信号線駆動回路B I N S Dのみを駆動するようにすれば、他方のデータ信号線駆動回路（例えばアナログデータ信号線駆動回路S D）の分だけ消費電力を抑えることができる。それゆえ、使用時と待機時とでそれぞれの要求に合った駆動ができ、低消費電力化が可能になるという効果を奏する。

【 0 2 5 6 】

また、2値データ信号線駆動回路にて2階調の画像データを供給して部分的に上書きすることが可能になる。それゆえ、表示複数の画像データを、予め合成することなく、重ねて表示することが可能になるという効果を奏する。

【 0 2 5 7 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路において、データ信号線への出力が複数のデータ信号線に接続されている構成である。

【 0 2 5 8 】

これにより、そのデータ信号線駆動回路では他方のデータ信号線駆動回路より低い周波数で駆動する。それゆえ、上記の構成による効果に加えて、さらに低消費電力化することができるという効果を奏する。

【 0 2 5 9 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路は、データ信号線への出力タイミングが互いに重ならない構成である。

【 0 2 6 0 】

これにより、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することがない。それゆえ、上記の構成による効果に加えて、いっそう良好な表示を得ることができるという効果を奏する。

【 0 2 6 1 】

また、本発明の画像表示装置は、上記の構成に加えて、上記転送指示信号を水平帰線期間中にアクティブにし、一括して点灯用電位または非点灯用電位を供給する構成である。

【 0 2 6 2 】

これにより、データ信号線へ映像信号と非点灯用電位または点灯用電位が衝突することがない。それゆえ、上記の構成による効果に加えて、いっそう良好な表示を得ることができるという効果を奏する。

【 0 2 6 3 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路のうち、表示するデータが供給されないほうは、駆動を停止させる構成である。

【 0 2 6 4 】

これにより、そのデータ信号線駆動回路では他方のデータ信号線駆動回路と異なり電力を消費しない。それゆえ、上記の構成による効果に加えて、さらに低消費電力化することができるという効果を奏する。

【 0 2 6 5 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路のうち、少なくとも一つのデータ信号線駆動回路は、上記シフトレジスタ部のタイミング信号の入力部と前記データ保持部の2値データ信号入力部とにレベルシフタを設け、上記データ保持部が、そのレベルシフタで昇圧されたタイミング信号によるシフトレジスタ出力に応じて前記2値データ信号をサンプリング後、保持する構成である。

【 0 2 6 6 】

これにより、データ信号線駆動回路を構成するシフトレジスタの駆動電圧より低い入力信号が印加されるような場合でも、問題なく画素を駆動することができるので、低電圧の入力信号に対応できる。それゆえ、上記の構成による効果に加えて、より低い消費電力で良好に画像表示することができるという効果を奏する。

【 0 2 6 7 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、上記シフトレジスタの出力信号がアクティブの間のみ動作する構成である。

【 0 2 6 8 】

これにより、レベルシフタが必要以外は停止する。それゆえ、上記の構成による効果に加えて、いっそう消費電力を削減することができるという効果を奏する。

【 0 2 6 9 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが電流駆動型である構成である。

【 0 2 7 0 】

これにより、レベルシフタを構成するトランジスタの特性が低い場合でも、レベルシフタは動作が可能である。それゆえ、上記の構成による効果に加えて、い

っそう消費電力を削減することができるという効果を奏する。

【 0 2 7 1 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、動作のオンオフを切り替えるための入力スイッチング素子を有しており、上記入力スイッチング素子が、その入力スイッチング素子が遮断するレベルの信号を入力されることによって、上記レベルシフタが動作を停止する構成である。

【 0 2 7 2 】

これにより、レベルシフタが動作を停止する際、入力スイッチング素子に電流が流れないようにすることができる。それゆえ、上記の構成による効果に加えて、レベルシフタを停止できるとともに、停止中、入力スイッチング素子に流れる電流分だけ、消費電力をいっそう低減することができるという効果を奏する。

【 0 2 7 3 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、それへの電力供給を停止されることで、動作を停止する構成である。

【 0 2 7 4 】

これにより、レベルシフタが動作を停止する際、レベルシフタへの電力供給が停止する。それゆえ、上記の構成による効果に加えて、レベルシフタを停止できるとともに、動作中にレベルシフタで消費する電力の分だけ、消費電力をいっそう低減することができるという効果を奏する。

【 0 2 7 5 】

また、本発明の画像表示装置は、上記の構成に加えて、上記レベルシフタが、上記 2 値データ信号が入力されるトランジスタと、このトランジスタのゲート容量を上記 2 値データ信号の伝送線から切り離す入力制御部とを有している構成である。

【 0 2 7 6 】

これにより、当該伝送線の負荷容量となるゲート容量は、動作中のレベルシフタのもののみに限定され、レベルシフタの停止時にはこのゲート容量をなくすことができる。それゆえ、上記の構成による効果に加えて、2 値データ信号の伝送線の容量を低減し、消費電力をいっそう削減することができるという効果を奏す

る。

【 0 2 7 7 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成するスイッチ素子は多結晶シリコン薄膜トランジスタからなる構成である。

【 0 2 7 8 】

これにより、画素や、データ信号線駆動回路、あるいは走査信号線駆動回路のように、広い表示面積を確保するために多結晶シリコン薄膜トランジスタが使用される回路であっても、上記のようにレベルシフトを設けることで、駆動電圧を十分低減することができる。それゆえ、上記の構成による効果に加えて、広い表示面積と駆動電圧の低減とを良好に両立させることができるという効果を奏する。

【 0 2 7 9 】

また、本発明の画像表示装置は、上記の構成に加えて、上記複数のデータ信号線駆動回路、走査信号線駆動回路及び各画素を構成する各スイッチ素子が 6 0 0 度以下のプロセス温度で製造される構成である。

【 0 2 8 0 】

これにより、基板として安価なガラス基板を使用することができる。それゆえ、上記の構成による効果に加えて、より表示面積の広い画像表示装置を安価に提供できるという効果を奏する。

【 0 2 8 1 】

また、本発明の画像表示装置は、上記の構成に加えて、上記転送指示信号が上記 2 値データ信号線駆動回路に入力される際に上記 2 値データ電位の電位の変動を抑制する 2 値データ電位安定部を有する構成である。

【 0 2 8 2 】

これにより、2 値データ信号線駆動回路の 2 値データ電位を安定化することができる。それゆえ、上記の構成による効果に加えて、所望の電位をデータ信号線に良好に充電することができ、画像表示装置の画質劣化を抑えることができるという効果を奏する。

【 0 2 8 3 】

また、本発明の画像表示装置は、上記の構成に加えて、上記 2 値データ電位安定部が、上記 2 値データ信号線駆動回路に上記 2 値データ電位を供給する 2 値データ電位供給線から電荷を受け取って保持する電荷保持部と、上記電荷保持部で保持される電荷量を抵抗値にて決定する電流制御部とを備えた構成である。

【 0 2 8 4 】

これにより、データ信号線駆動回路へ供給する電位（電荷）を電荷保持部に保持することにより、転送指示信号が作用している間は、電荷保持部から電荷を供給すればよい。2 値データ信号線駆動回路へ供給される 2 値データ電位は、転送指示信号が非作用時に電荷保持部に供給すればよい。それゆえ、上記の構成による効果に加えて、安価で簡素な構成で 2 値データ信号線駆動回路の 2 値データ電位を安定化することができるという効果を奏する。また、電流増幅回路を必要としないため、いっそう消費電力の増加を抑制することができるという効果を奏する。

【 0 2 8 5 】

また、本発明の画像表示装置は、上記の構成に加えて、上記 2 値データ電位安定部が、上記 2 値データ信号線駆動回路に上記 2 値データ電位を供給する 2 値データ電位供給線から電荷を受け取って保持する電荷保持部と、1 水平走査期間ごとに極性反転しながら上記電荷保持部に入力されて保持される電荷量を、画面表示の 1 水平走査期間の周波数より大きい遮断周波数を持つことで決定する周波数制御部とを備えた構成である。

【 0 2 8 6 】

これにより、データ信号線駆動回路へ供給する電位（電荷）を電荷保持部に保持することにより、転送指示信号が作用している間は、電荷保持部から電荷を供給すればよい。2 値データ信号線駆動回路へ供給される 2 値データ電位は、転送指示信号が非作用時に電荷保持部に供給すればよい。それゆえ、上記の構成による効果に加えて、安価で簡素な構成で 2 値データ信号線駆動回路の 2 値データ電位を安定化することができるという効果を奏する。また、電流増幅回路を必要としないため、いっそう消費電力の増加を抑制することができるという効果を奏す

る。

【 0 2 8 7 】

また、本発明の画像表示装置は、上記の構成に加えて、上記電荷保持部が保持する電荷の容量が、少なくとも上記複数のデータ信号線の総容量よりも大きい構成である。

【 0 2 8 8 】

これにより、転送指示信号が作用している間、電荷保持部に蓄えられた電荷を供給するだけでよく、外部から新たに電荷を供給する必要がない。それゆえ、上記の構成による効果に加えて、いっそう消費電力の増加を抑制することができるという効果を奏する。

【 0 2 8 9 】

また、本発明の画像表示装置は、上記の構成に加えて、上記電流制御部と上記電荷保持部との時定数は、2値データ信号線駆動回路以外のデータ信号線駆動回路から供給される映像信号の上記表示部での表示期間内に上記2値データ電位を十分な電位に安定させる程度の値をとる構成である。

【 0 2 9 0 】

これにより、映像信号の表示期間内に十分に電位を保持することが可能となる。つまり、転送指示信号が作用するまでに、電荷保持部に十分に電荷を蓄えることが可能となるので、外部から新たに電荷を供給する必要がない。それゆえ、上記の構成による効果に加えて、いっそう消費電力の増加を抑制することができるという効果を奏する。

【 0 2 9 1 】

また、本発明の画像表示装置は、上記の構成に加えて、上記2値データ信号線駆動回路が、水平帰線期間中であって転送指示信号がオフのときに、データ信号線の電位を、上記2値データ信号線駆動回路以外のデータ信号線駆動回路における、今回の水平有効期間（水平表示期間、1H）のデータに対するデータ信号線の電位と次の水平有効期間のデータに対するデータ信号線の電位との中間の電位であるプリチャージ電位にする構成である。

【 0 2 9 2 】

これにより、上記 2 値データ信号線駆動回路以外のデータ信号線駆動回路とともに用いられて複数種類のデータ供給を行うために設けられている 2 値データ信号線駆動回路を、プリチャージ機能のための回路として兼用することができる。それゆえ、上記の構成による効果に加えて、簡素な構成で複数種類のデータの供給と表示品位の向上とを行うことができるという効果を奏する。

【0293】

また、本発明の画像表示装置は、上記の構成に加えて、上記 2 値データ信号線駆動回路が、上記 2 値データ電位と所定の基準電位との差を画像データとして上記データ信号線に供給し、この基準電位を、上記プリチャージ電位として用いる構成である。

【0294】

これにより、外部から、新たに上記プリチャージ電位を供給する必要がない。それゆえ、上記の構成による効果に加えて、より簡素な構成でプリチャージによる表示品位の向上を行うことができるという効果を奏する。

【図面の簡単な説明】

【図 1】

本発明に係る画像表示装置の一構成例を示すブロック図である。

【図 2】

本発明における 2 値データ信号線駆動回路の動作を示すタイミングチャートである。

【図 3】

本発明における 2 値データ信号線駆動回路の一構成例を示すブロック図である。

【図 4】

本発明におけるデータ保持部の一構成例を示すブロック図である。

【図 5】

本発明における 2 値データ信号線駆動回路の他の構成例を示すブロック図である。

【図 6】

本発明における 2 値データ信号線駆動回路のさらに他の構成例を示すブロック図である。

【図 7】

本発明における 2 値データ信号線駆動回路の動作を示すタイミングチャートである。

【図 8】

本発明における 2 値データ信号線駆動回路のさらに他の構成例を示すブロック図である。

【図 9】

電圧駆動型のレベルシフタの構成例を示す回路図である。

【図 1 0】

電流駆動型のレベルシフタの構成例を示す回路図である。

【図 1 1】

レベルシフタの入出力波形を示すタイミングチャートである。

【図 1 2】

本発明におけるシフトレジスタの一構成例を示すブロック図である。

【図 1 3】

本発明におけるシフトレジスタの動作を示すタイミングチャートである。

【図 1 4】

(a) は、セット・リセット・フリップフロップの一構成例における入出力端子を示すブロック図であり、(b) は、その内部の回路構成を示す回路図である。

【図 1 5】

セット・リセット・フリップフロップの動作を示すタイミングチャートである。

【図 1 6】

シフトレジスタにおけるクロック信号、スタート信号用レベルシフタの構成例を示す回路図である。

【図 1 7】

レベルシフト付きデータ保持部の構成例を示す回路図である。

【図 1 8】

本発明に係る画像表示装置の他の構成例を示すブロック図である。

【図 1 9】

本発明に係る画像表示装置のさらに他の構成例を示すブロック図である。

【図 2 0】

本発明に係る画像表示装置における駆動波形の例を示すタイミングチャートである。

【図 2 1】

本発明に係る 2 値データ電位安定部の一構成例を示す回路図である。

【図 2 2】

本発明におけるプリチャージ動作時の波形を示す説明図である。

【図 2 3】

本発明に係る 2 値データ電位安定部の他の構成例を示す回路図である。

【図 2 4】

画像表示装置のさらに他の構成例を示すブロック図である。

【図 2 5】

画素の構成を示す回路図である。

【図 2 6】

プリチャージ動作時の波形を示す説明図である。

【図 2 7】

プリチャージ非動作時の波形を示す説明図である。

【図 2 8】

2 値データ信号線駆動回路 B I N S D の一構成例を示すブロック図である。

【図 2 9】

シフトレジスタ部の一構成例を示すブロック図である。

【図 3 0】

S O R 部の一構成例を示すブロック図である。

【図 3 1】

S E L - L O G 部の一構成例を示すブロック図である。

【図 3 2】

S E L - L O G 部の入出力信号の波形を示すタイミングチャートである。

【図 3 3】

セレクト部の一構成例を示すブロック図である。

【図 3 4】

セレクト部の詳細な構成例を示すブロック図である。

【図 3 5】

内部セレクトの一構成例を示すブロック図である。

【図 3 6】

2 値データ信号が有意でないときのプリチャージ動作を示すタイミングチャートである。

【図 3 7】

2 値データ信号が有意であるときのプリチャージ動作を示すタイミングチャートである。

【図 3 8】

プリチャージ電位を液晶駆動白電位と兼用せずに別個に設けた場合のブロック図である。

【図 3 9】

図 3 8 の例における内部セレクトの一構成例を示すブロック図である。

【図 4 0】

従来の画像表示装置の構成例を示すブロック図である。

【図 4 1】

画素の構成を示すブロック図である。

【図 4 2】

従来の画像表示装置を構成するデータ信号線駆動回路の構成例を示すブロック図である。

【図 4 3】

従来の画像表示装置を構成するデータ信号線駆動回路の構成例を示すブロック

図である。

【図 4 4】

従来の画像表示装置を構成するデータ信号線駆動回路の構成例を示すブロック図である。

【図 4 5】

従来の画像表示装置を構成するデータ信号線駆動回路の構成例を示すブロック図である。

【図 4 6】

画像表示装置を構成する走査線駆動回路の構成例を示すブロック図である。

【符号の説明】

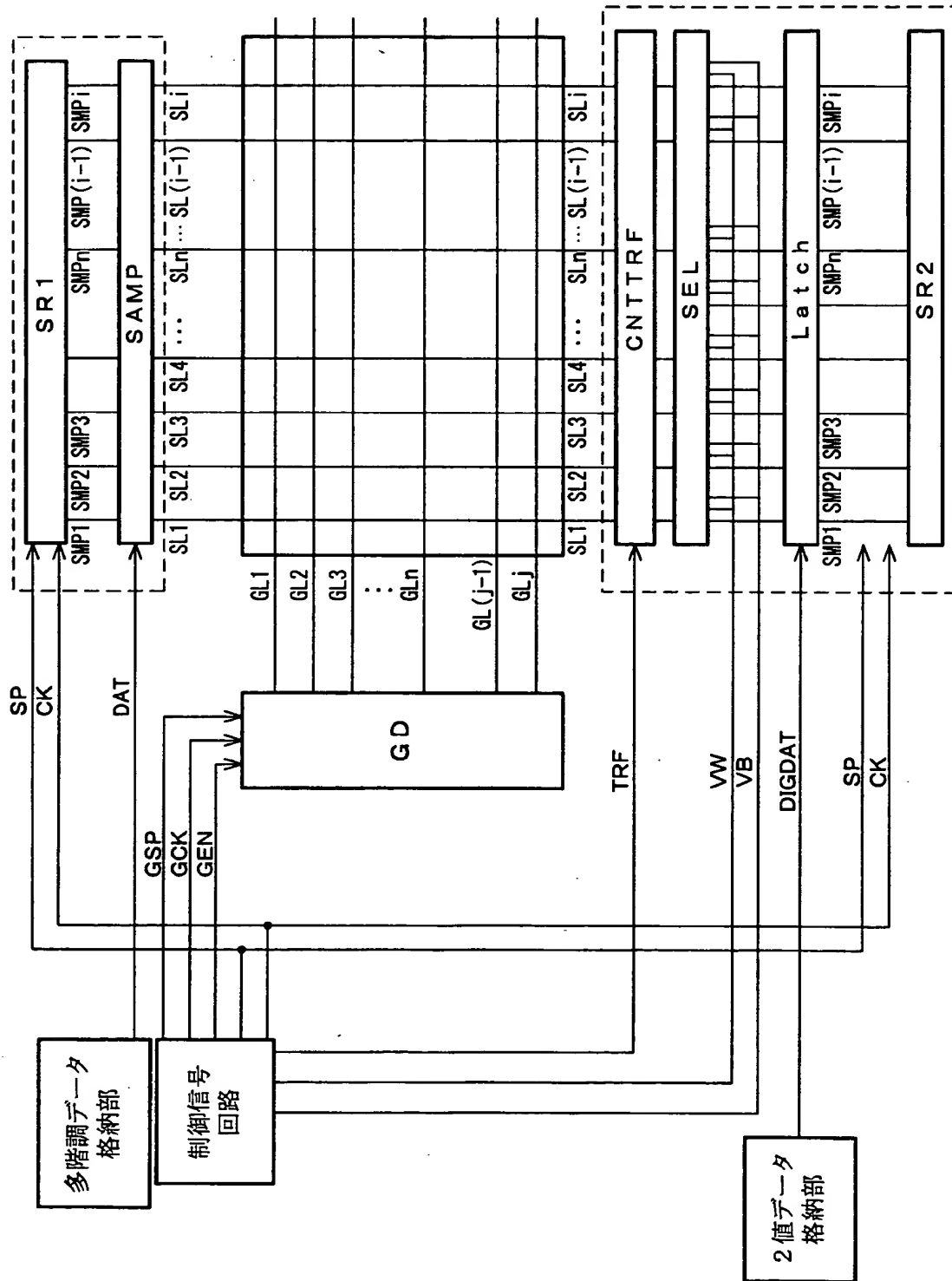
- 2 1 データ保持部
- 2 2 データ制御部
- 1 1 3 レベルシフタ
- 1 1 3 a レベルシフト部
- 1 1 3 b 電力供給制御部
- 1 1 3 c 入力制御部
- 1 1 3 d 入力スイッチング素子遮断制御部
- 1 1 3 e 出力安定部
- A R Y 画素アレイ
- A S W A、A S W B アナログスイッチ
- B A 2 値データ電位増幅回路
- B I N S D 2 値データ信号線駆動回路
- B I N M E M 2 値データ格納部
- C K クロック信号
- C K S クロック信号
- C K L S クロック信号用レベルシフタ
- C L 液晶容量
- C N T T R F 出力制御部
- C S 補助容量

CTL 制御信号回路
 DAT 映像信号
 DATMEM 多階調データ格納部
 DIGDAT 2値データ信号
 ENA 制御信号
 F セット・リセット型フリップフロップ回路
 GD 走査信号線駆動回路
 GLn 走査信号線
 IN 入力信号
 INB 入力信号
 INV1、INV2 インバータ
 Latch データ保持部
 LS スタート信号SP用レベルシフタ
 N2、N3、N6、N7 N型MOSトランジスタ
 niTr1、niTr2 Nチャネルトランジスタ
 nvTr1、nvTr2 Nチャネルトランジスタ
 OUT 出力電圧
 P1、P4、P5 P型MOSトランジスタ
 PCLT プリチャージコントロール信号
 PICST 表示状態切替信号
 piTr1、piTr2 Pチャネルトランジスタ
 PIX 画素
 Prot 保護回路
 PVID プリチャージ電位
 pvTr1、pvTr2 Pチャネルトランジスタ
 PWC パルス幅制御信号
 SA プリチャージ・白書き込み信号
 SB 黒書き込み信号
 SD アナログデータ信号線駆動回路

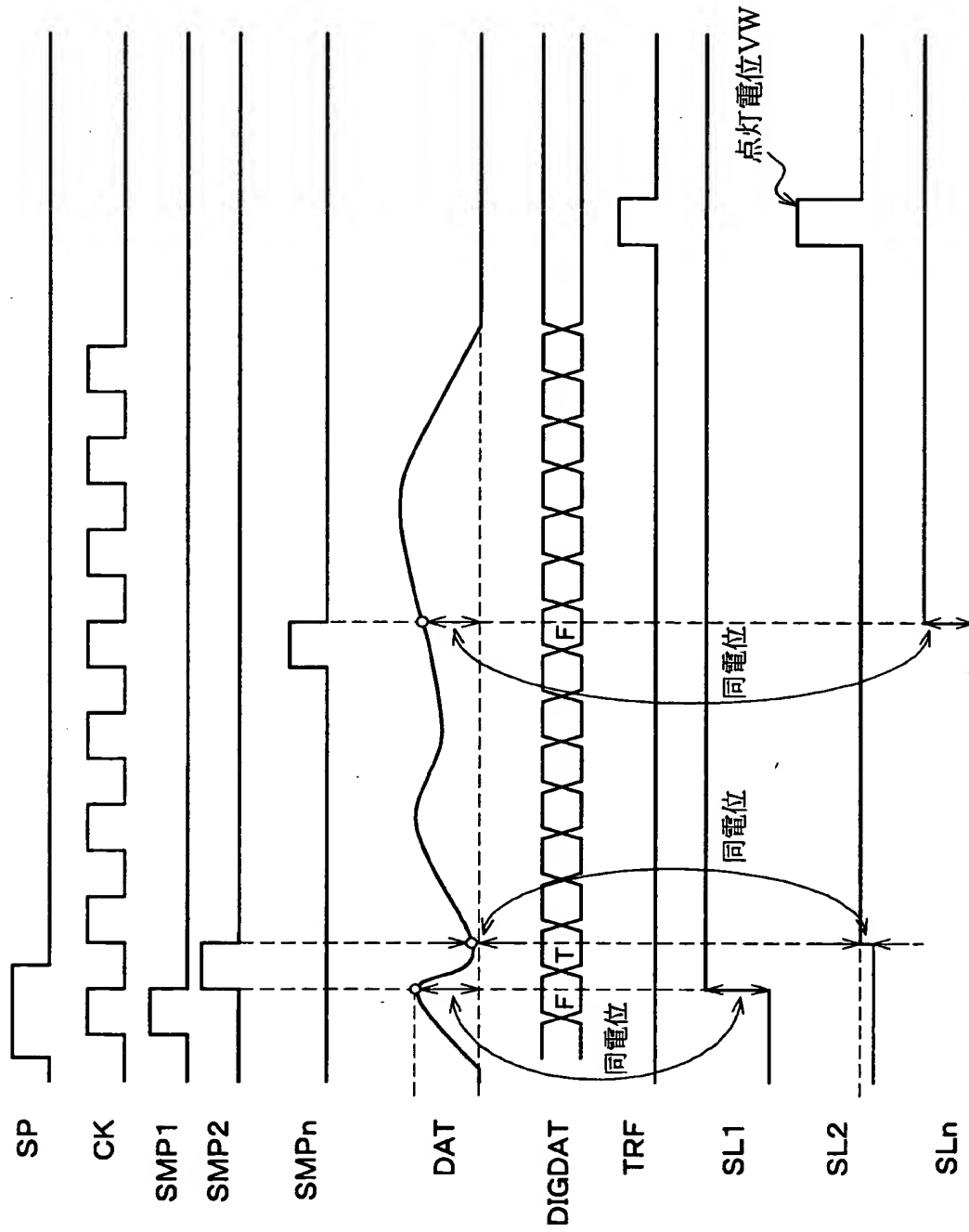
S L、S L n データ信号線
 S E L データ切替部
 S A M P サンプリング部
 S I M P スーパーインポーズ指示信号
 S M P、S M P n サンプリング信号
 S M P 1 __ 1、S M P 1 __ 2、S M P 1 __ n 出力信号
 S M P 2 __ 1、S M P 2 __ 2、S M P 2 __ n 出力信号
 S P スタート信号
 S P S データスタート信号
 S P G 走査スタート信号
 S R 1、S R 2 シフトレジスタ
 S T 2 値データ電位安定部
 S W スイッチ素子
 T R F 転送指示信号
 V B 非点灯用電位 (2 値データ電位)
 V B __ L 2 値データ電位供給線
 V C C 電源
 V C O M 対向電位
 V W 点灯用電位

【書類名】 図面

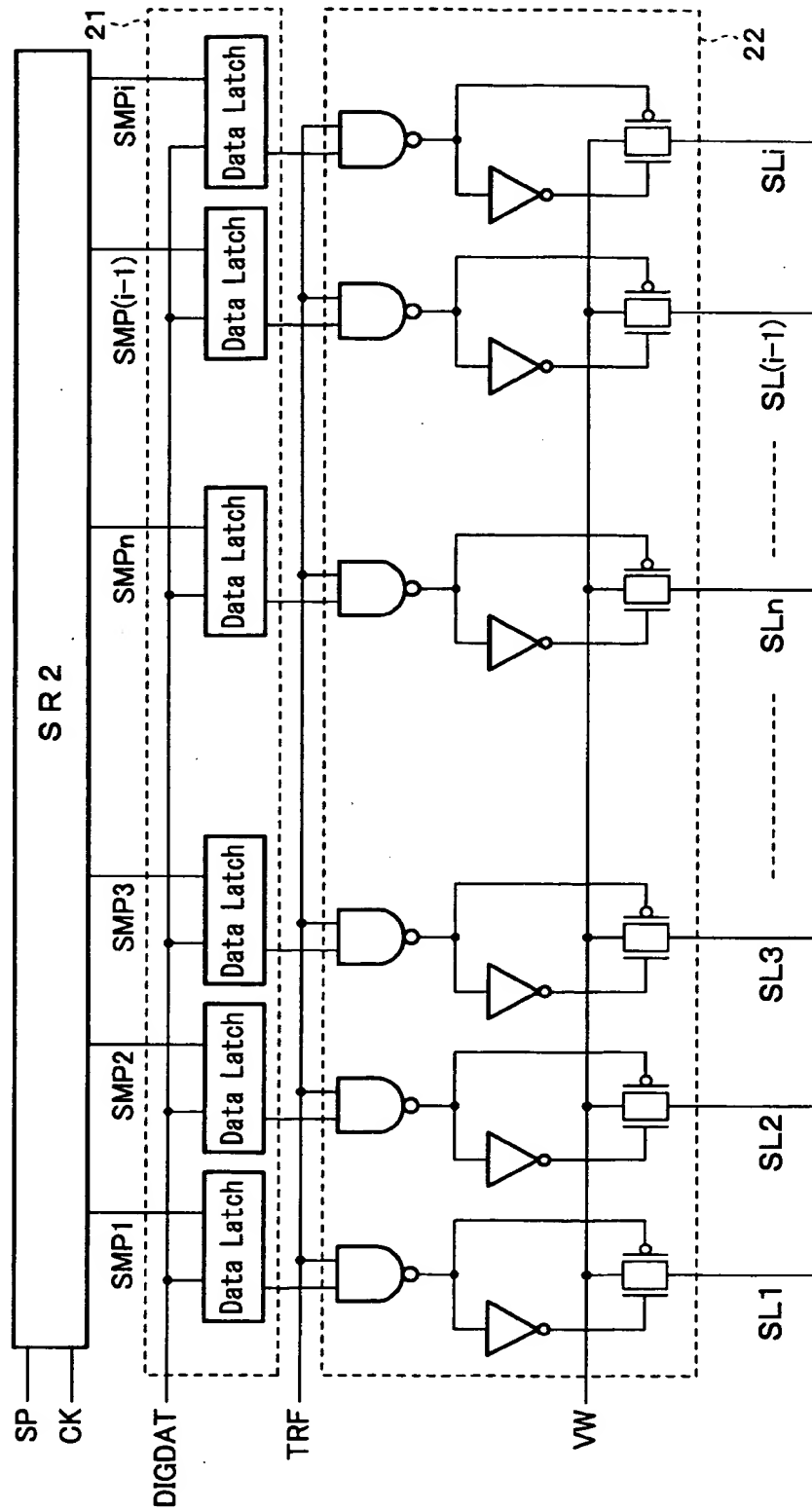
【図 1】



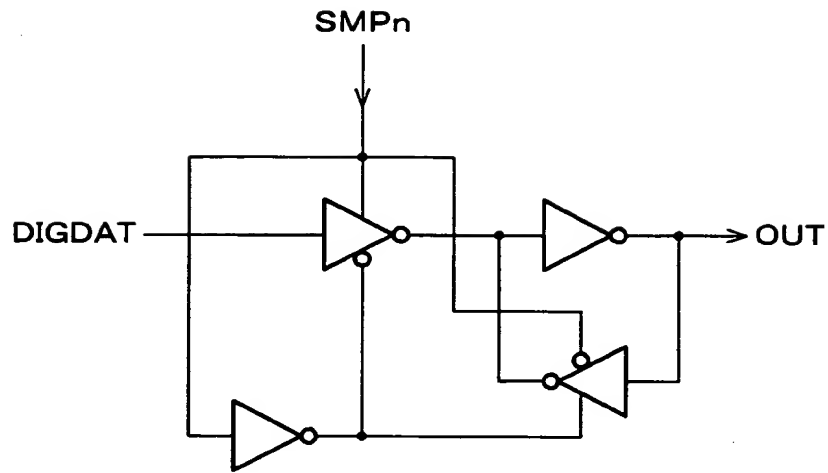
【図 2】



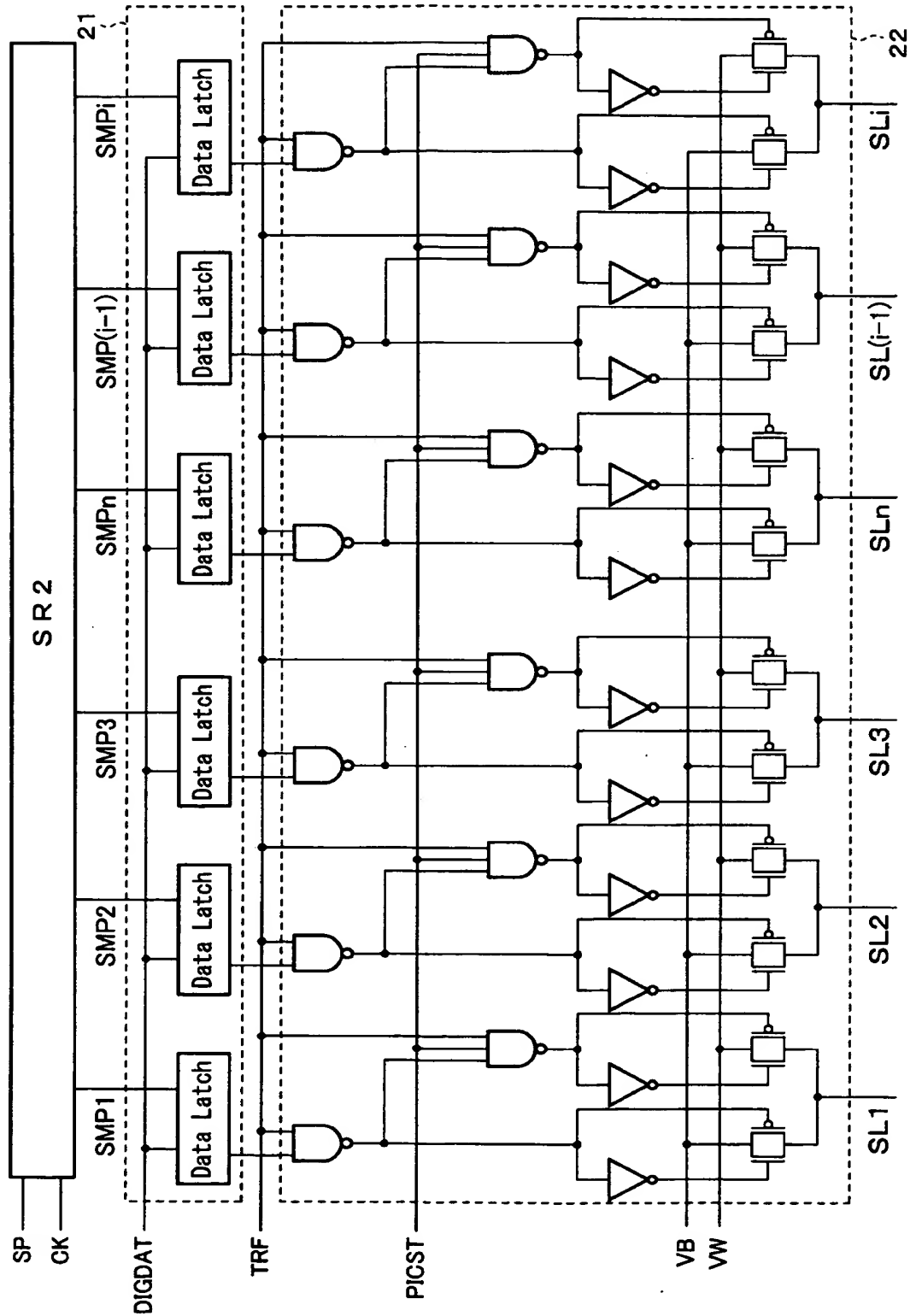
【図 3】



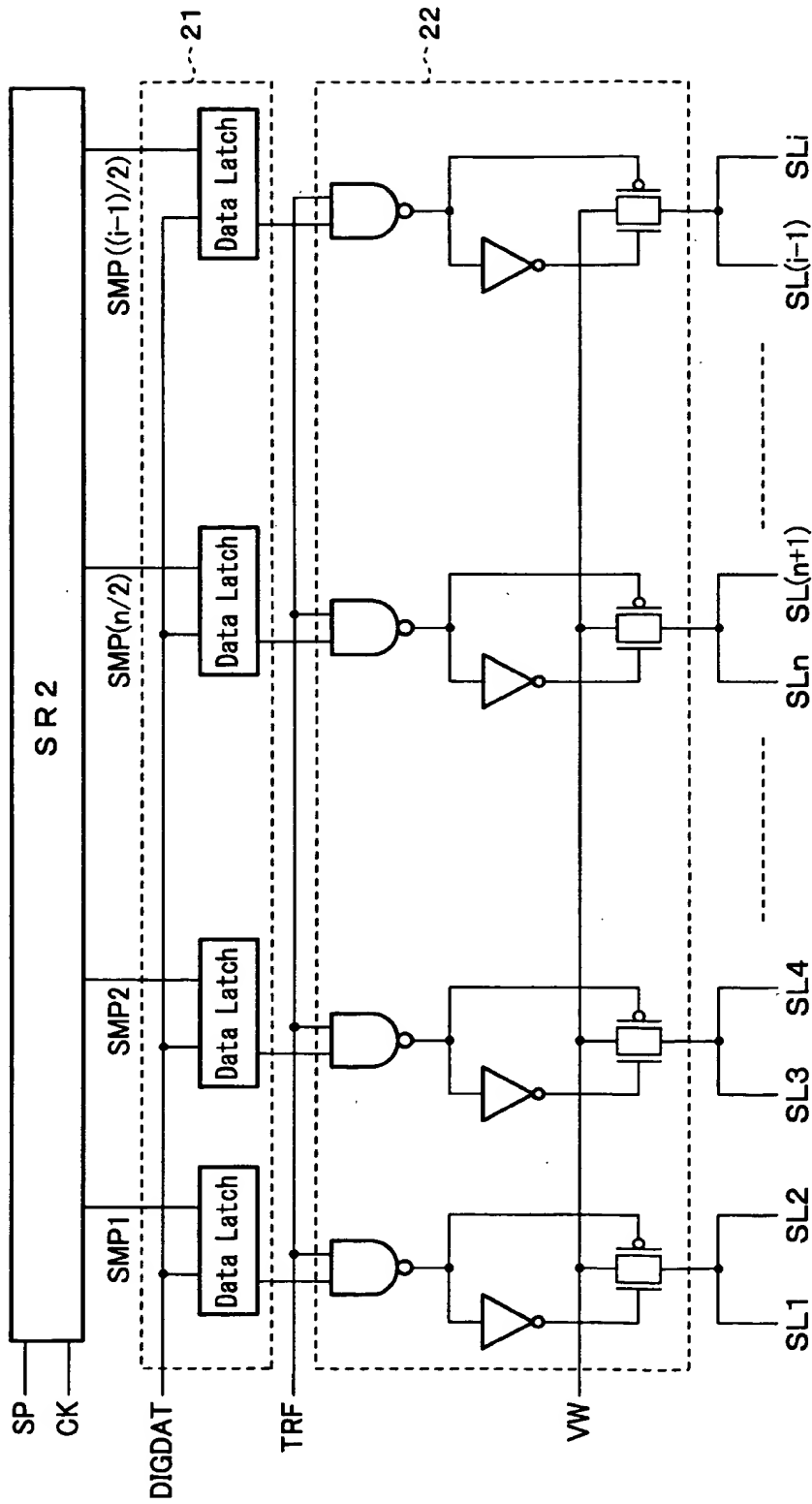
【図 4】



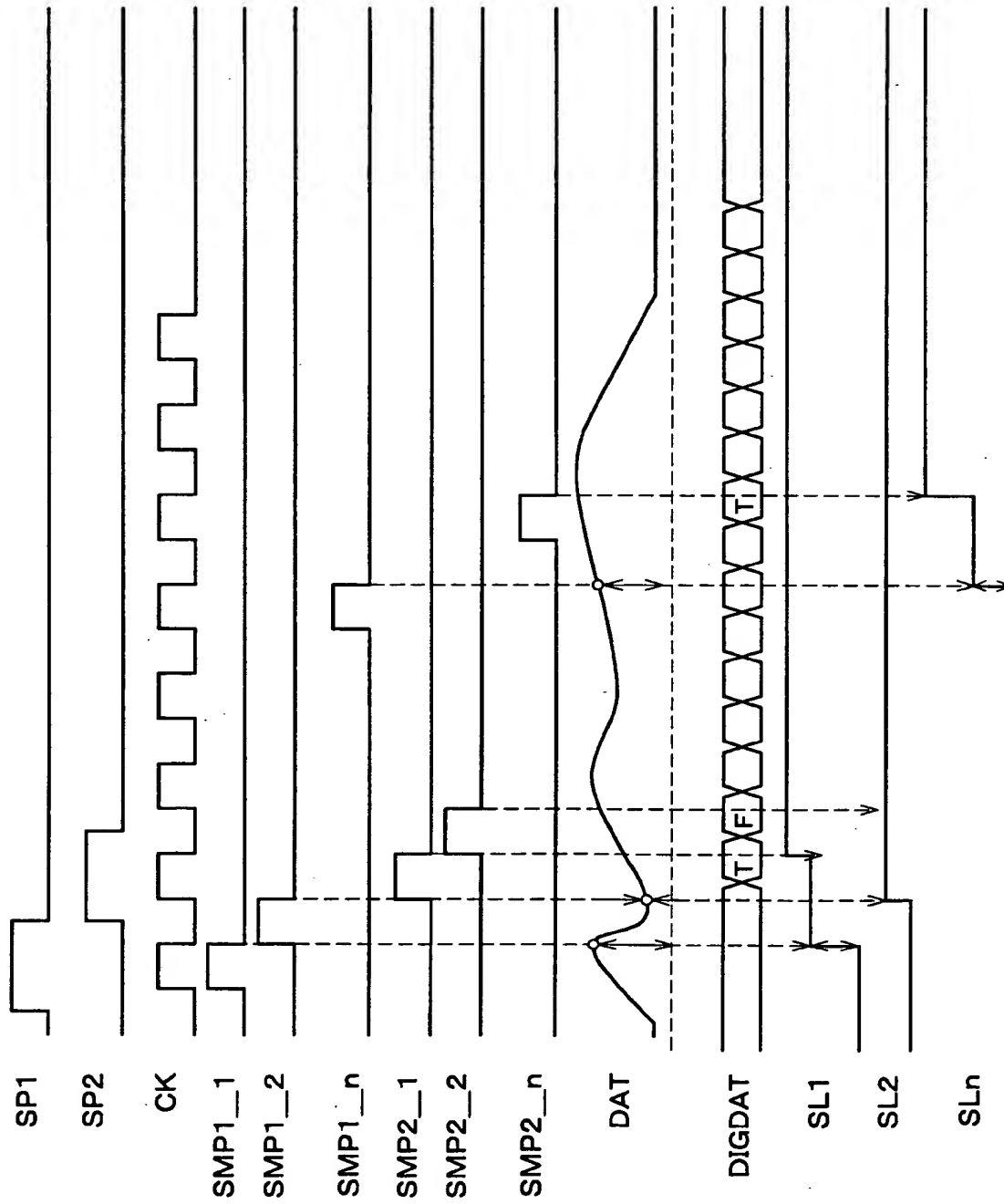
【図 5】



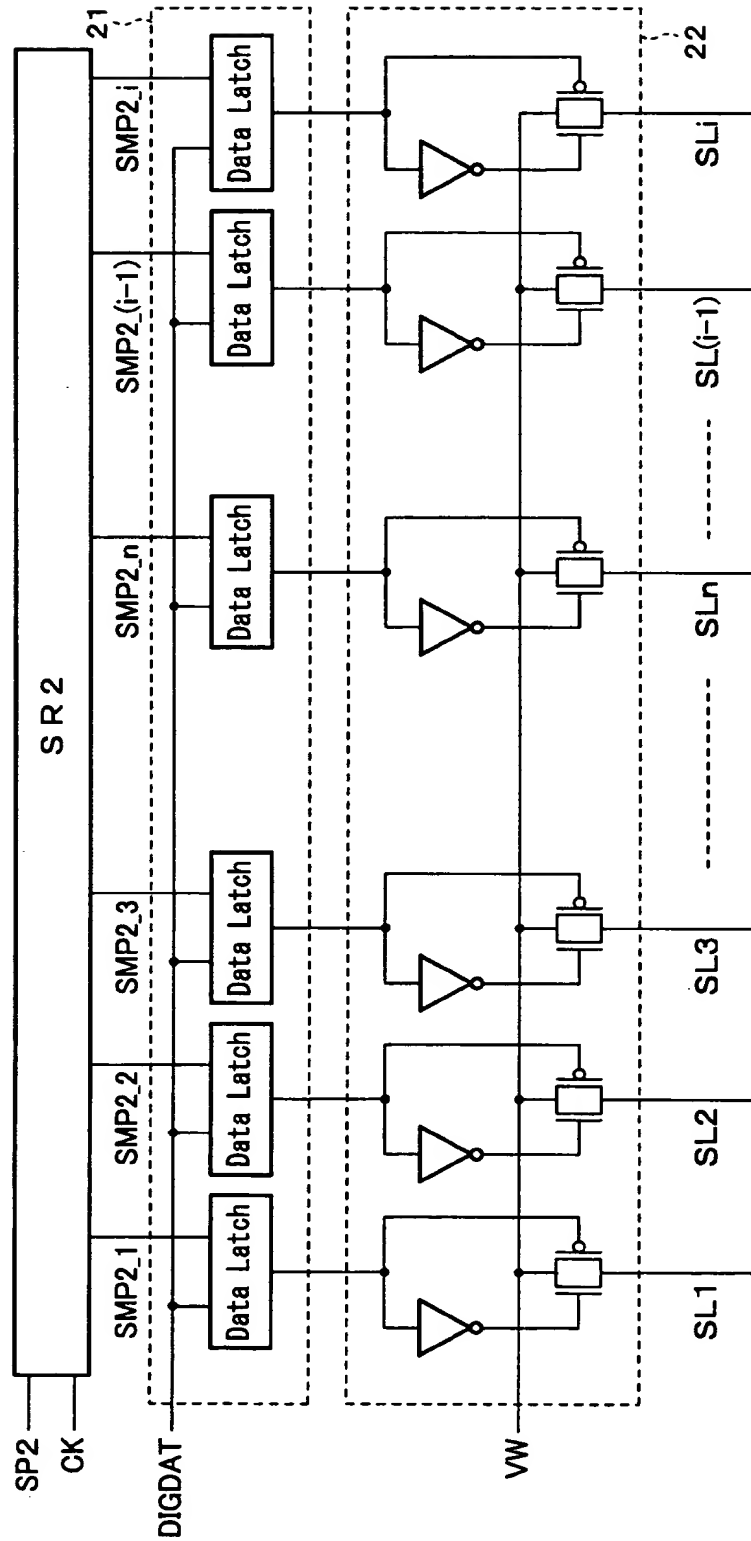
【図 6】



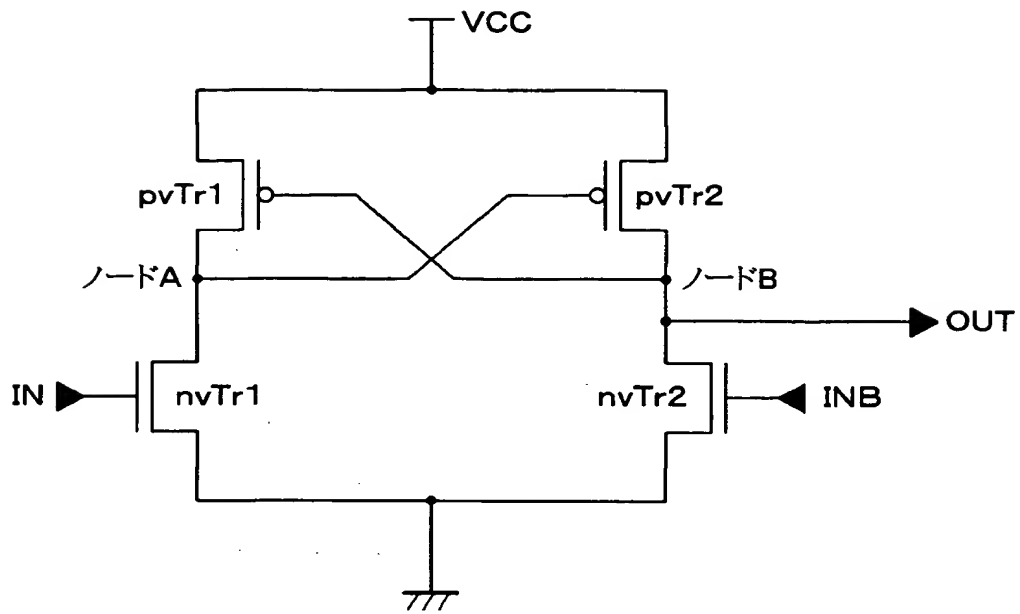
【図 7】



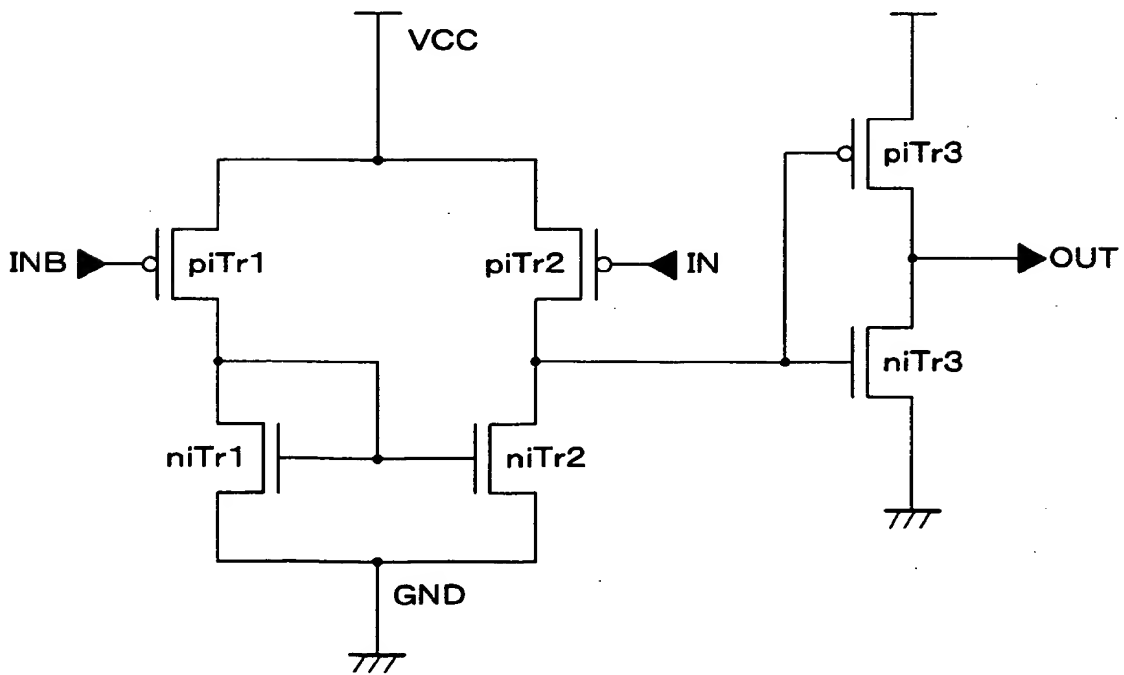
【図 8】



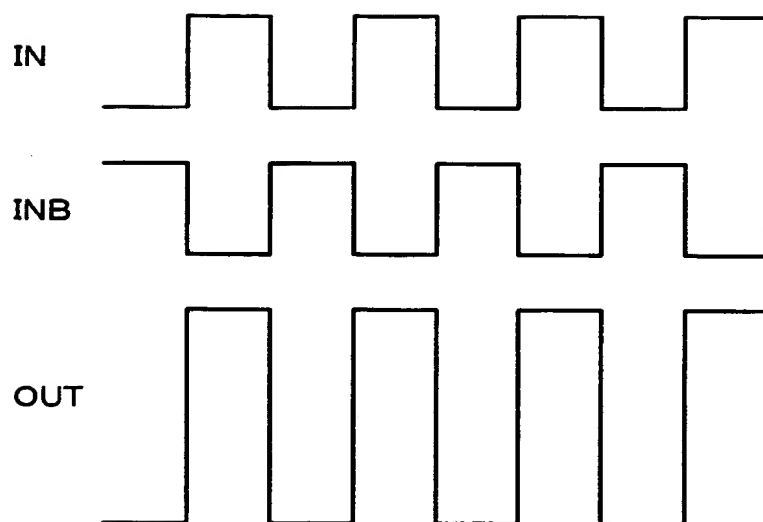
【図 9】



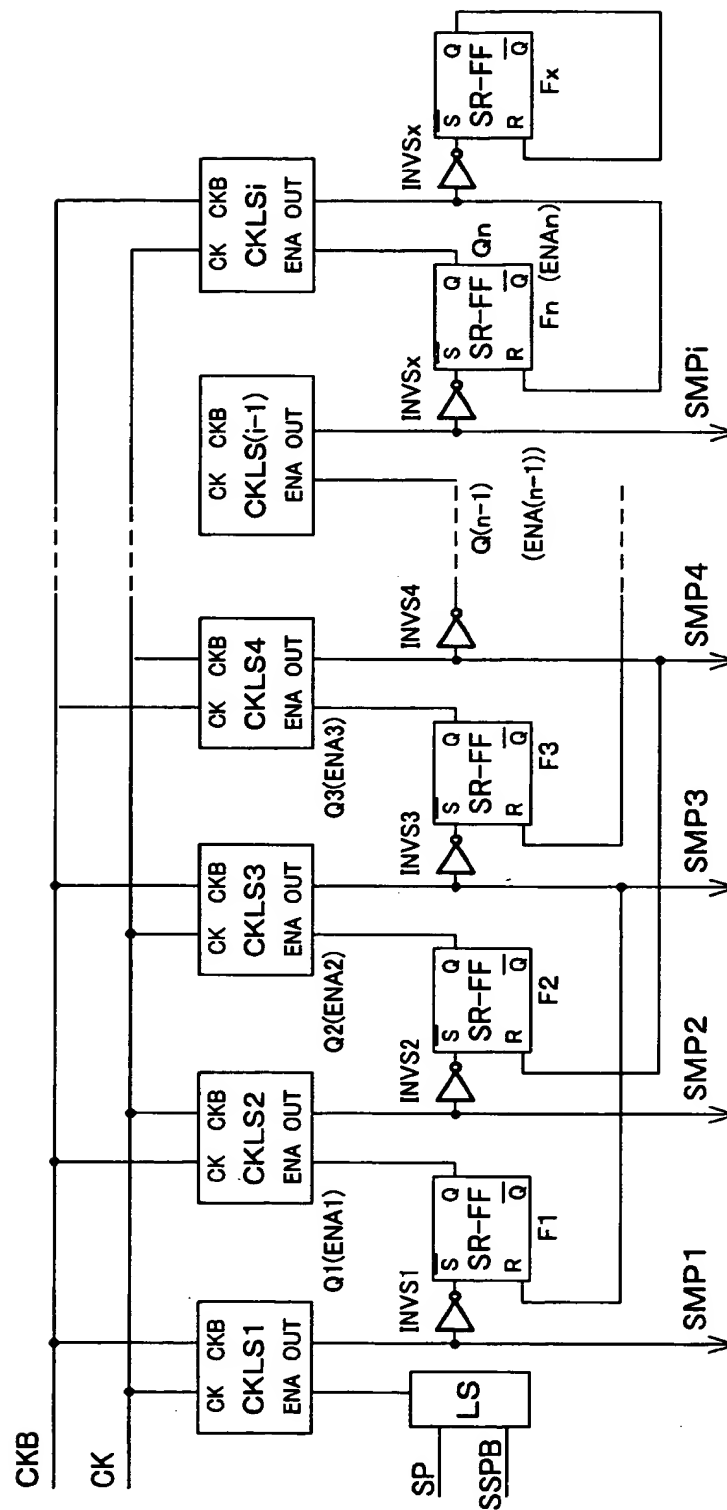
【図 10】



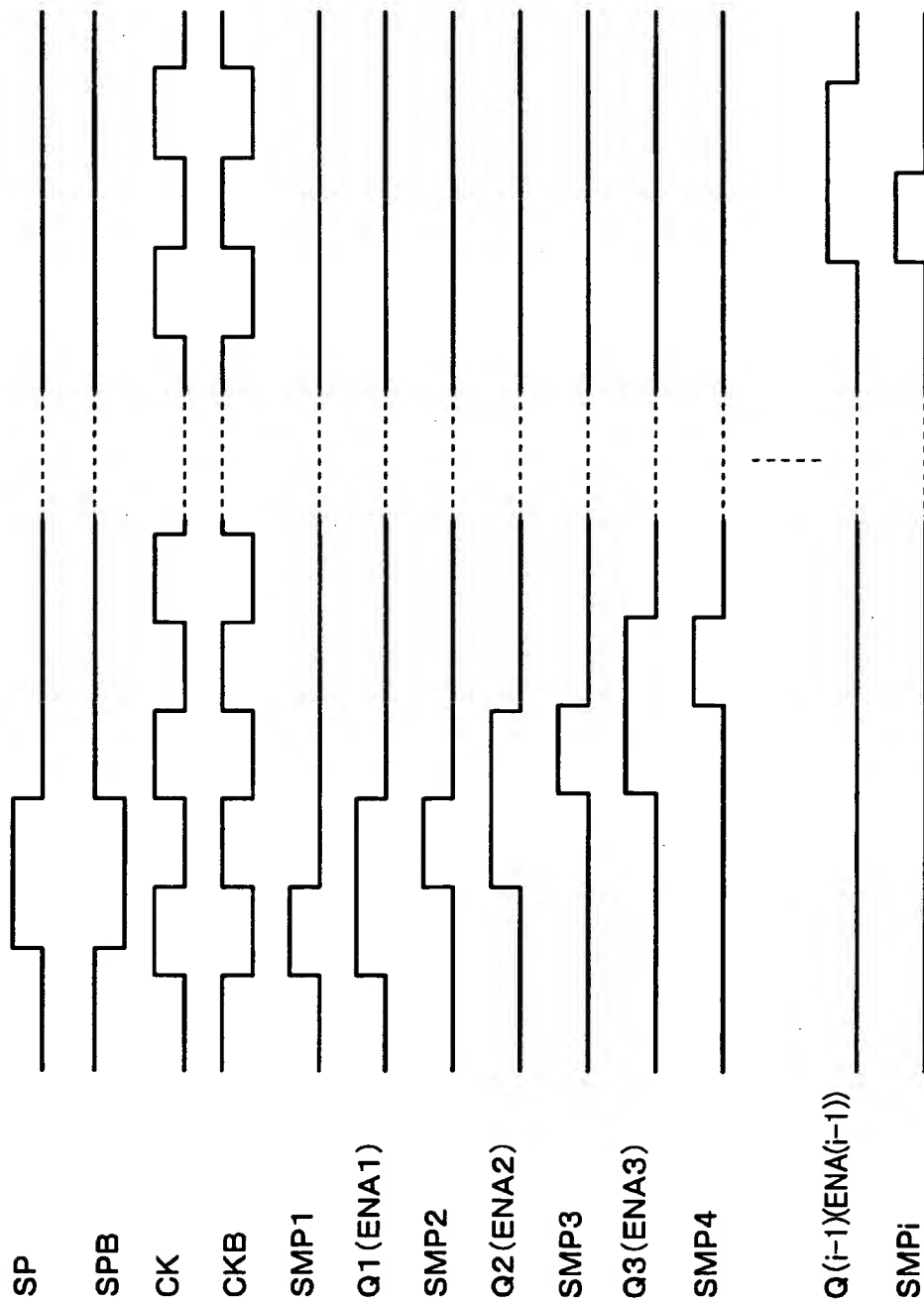
【図 1 1】



【図 12】

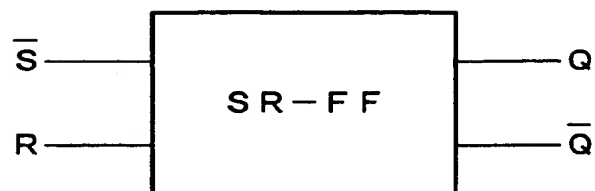


【図 13】

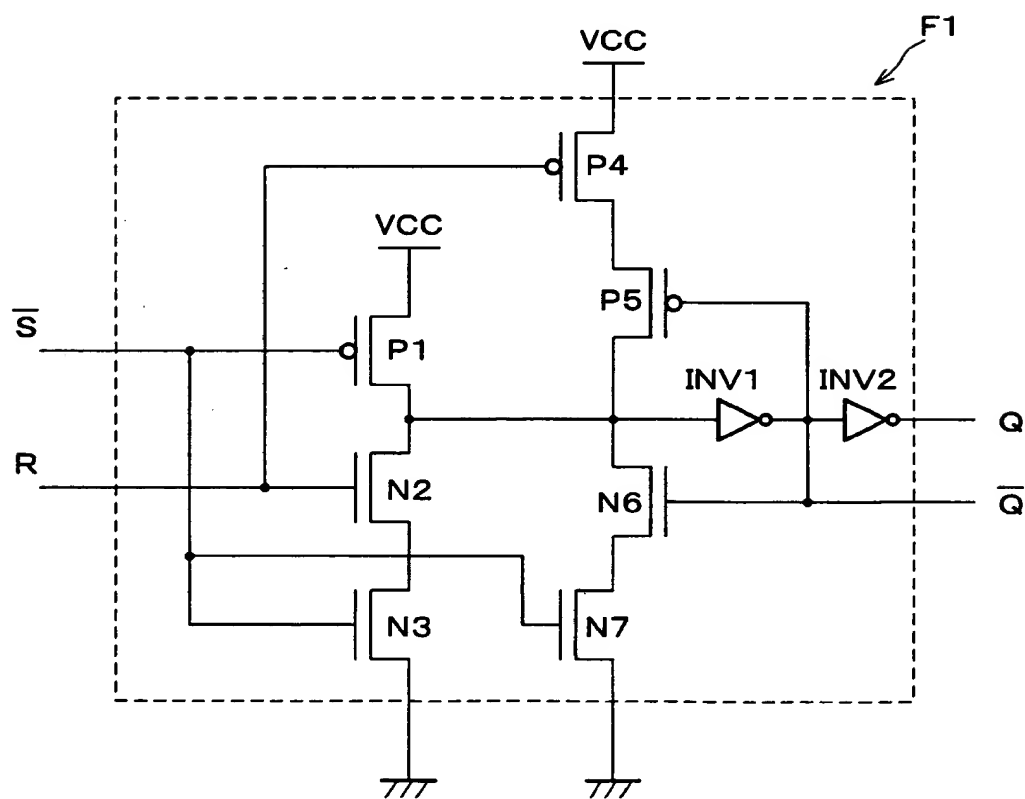


【図 14】

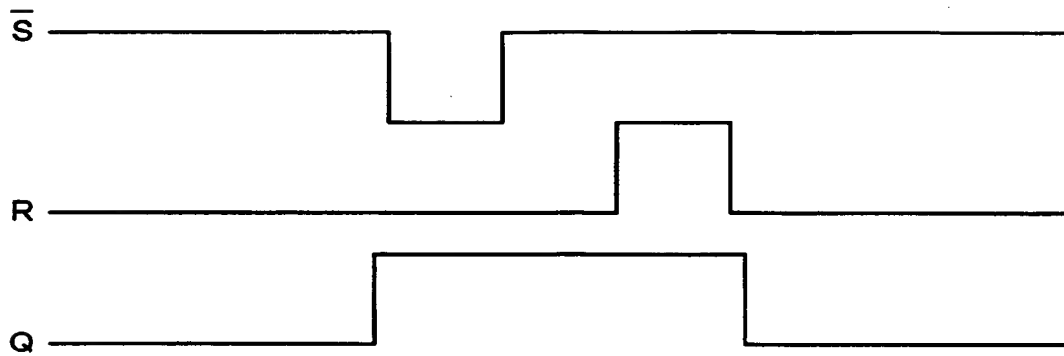
(a)



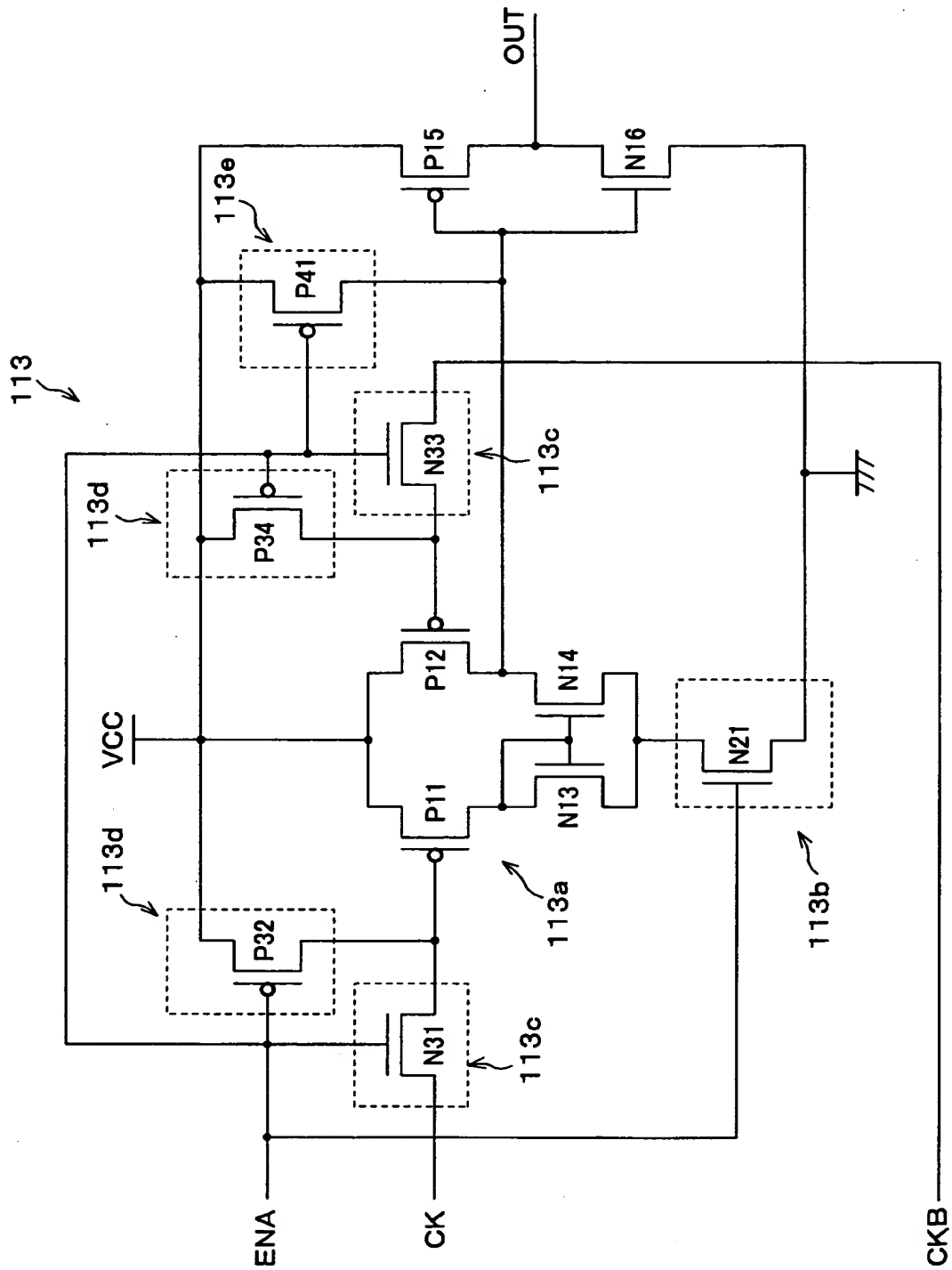
(b)



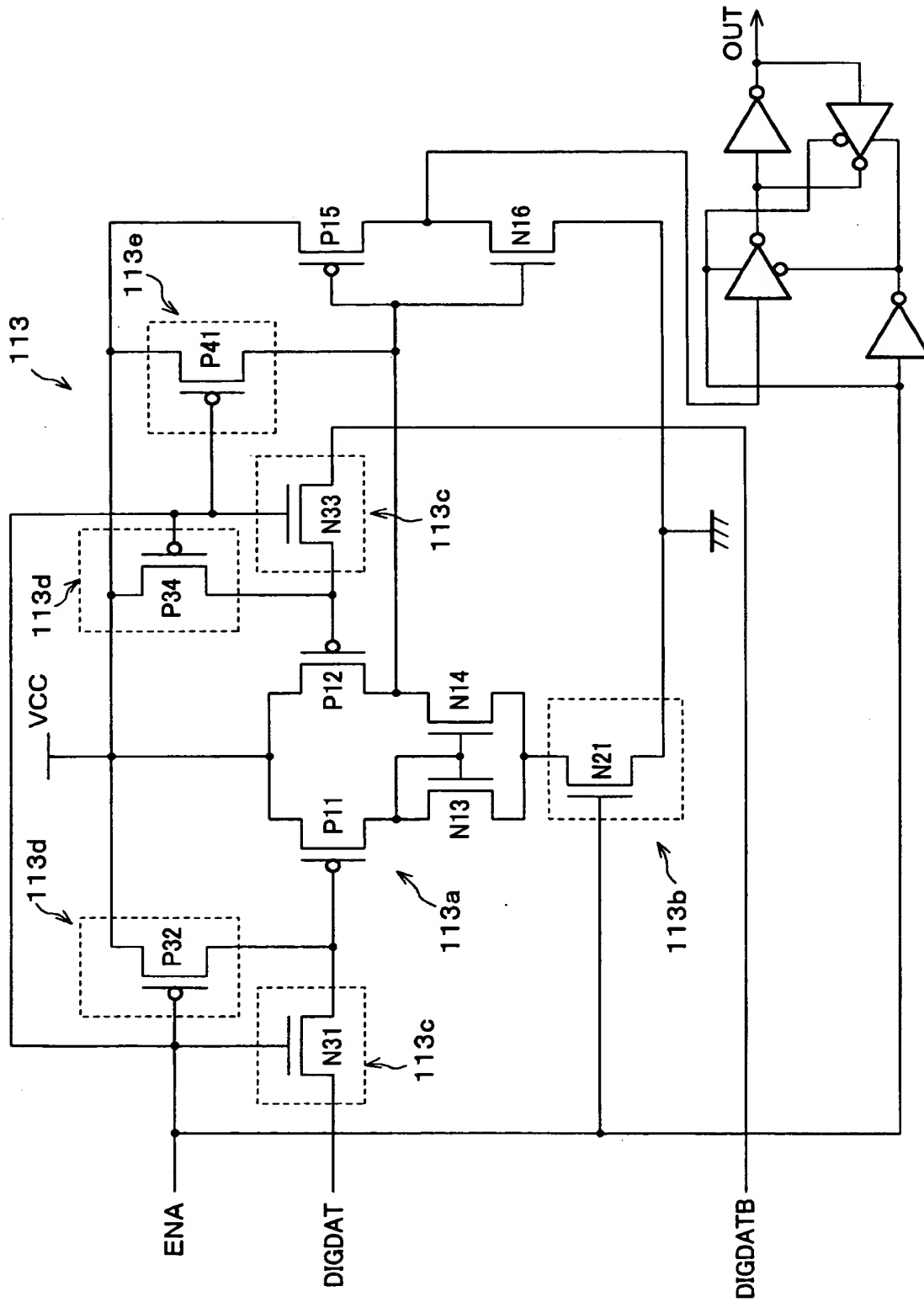
【図 1 5】



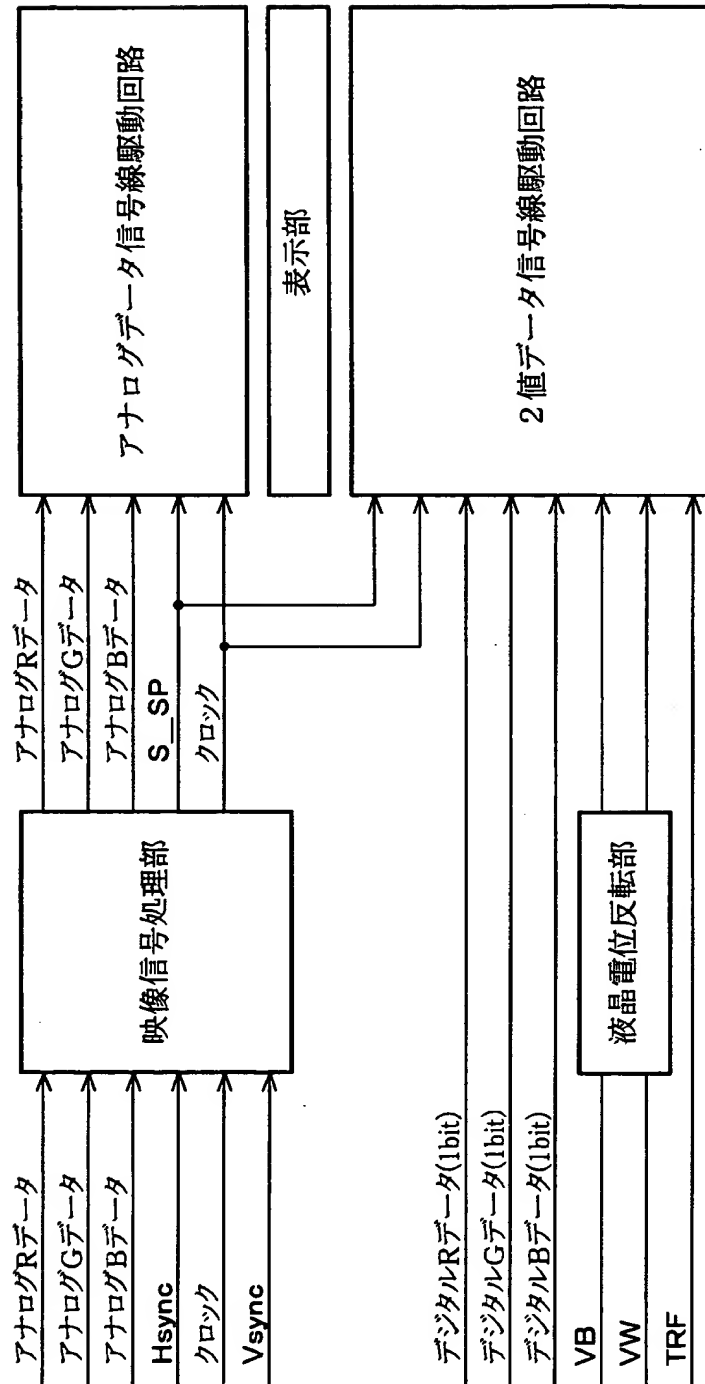
【図 16】



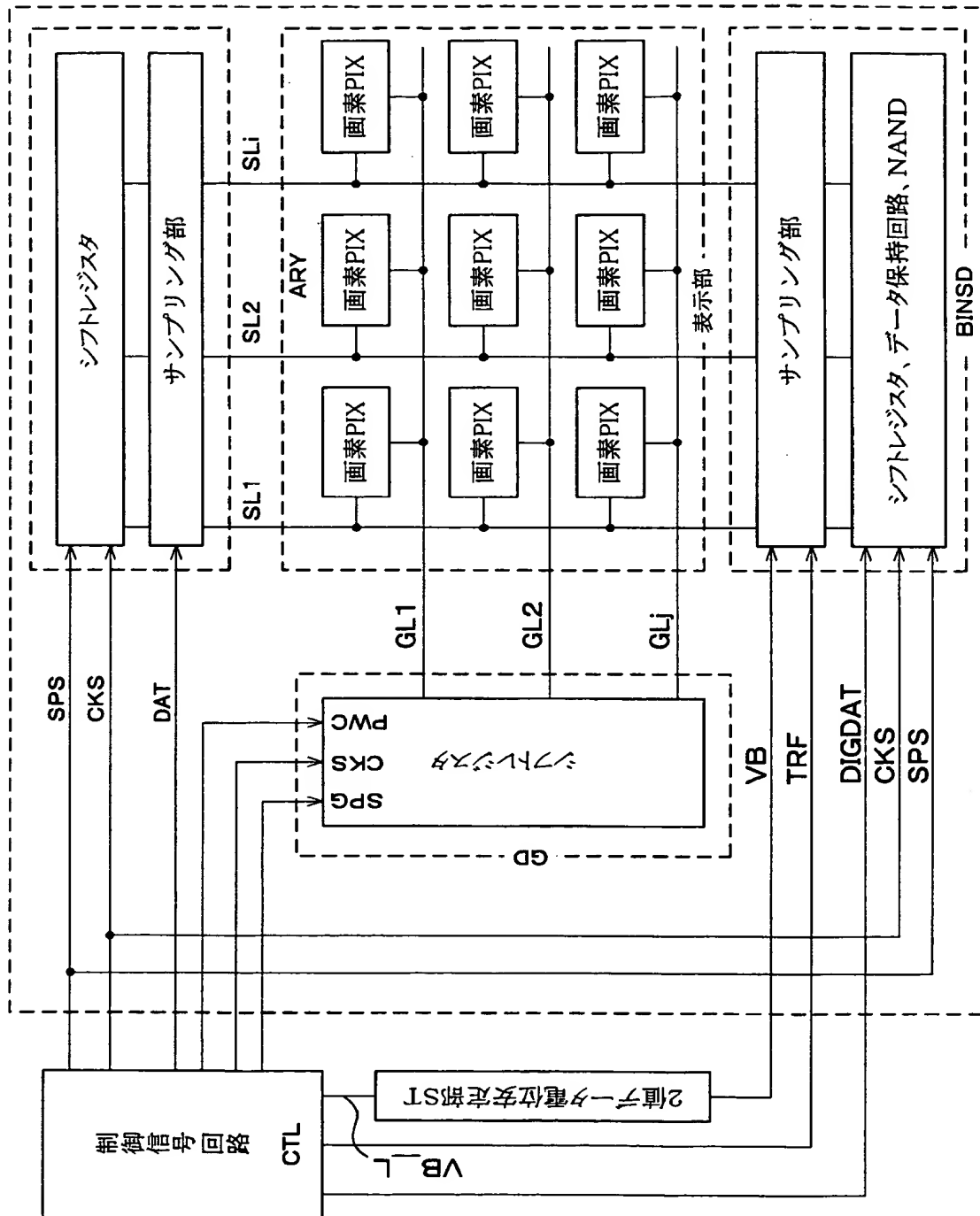
【図 17】



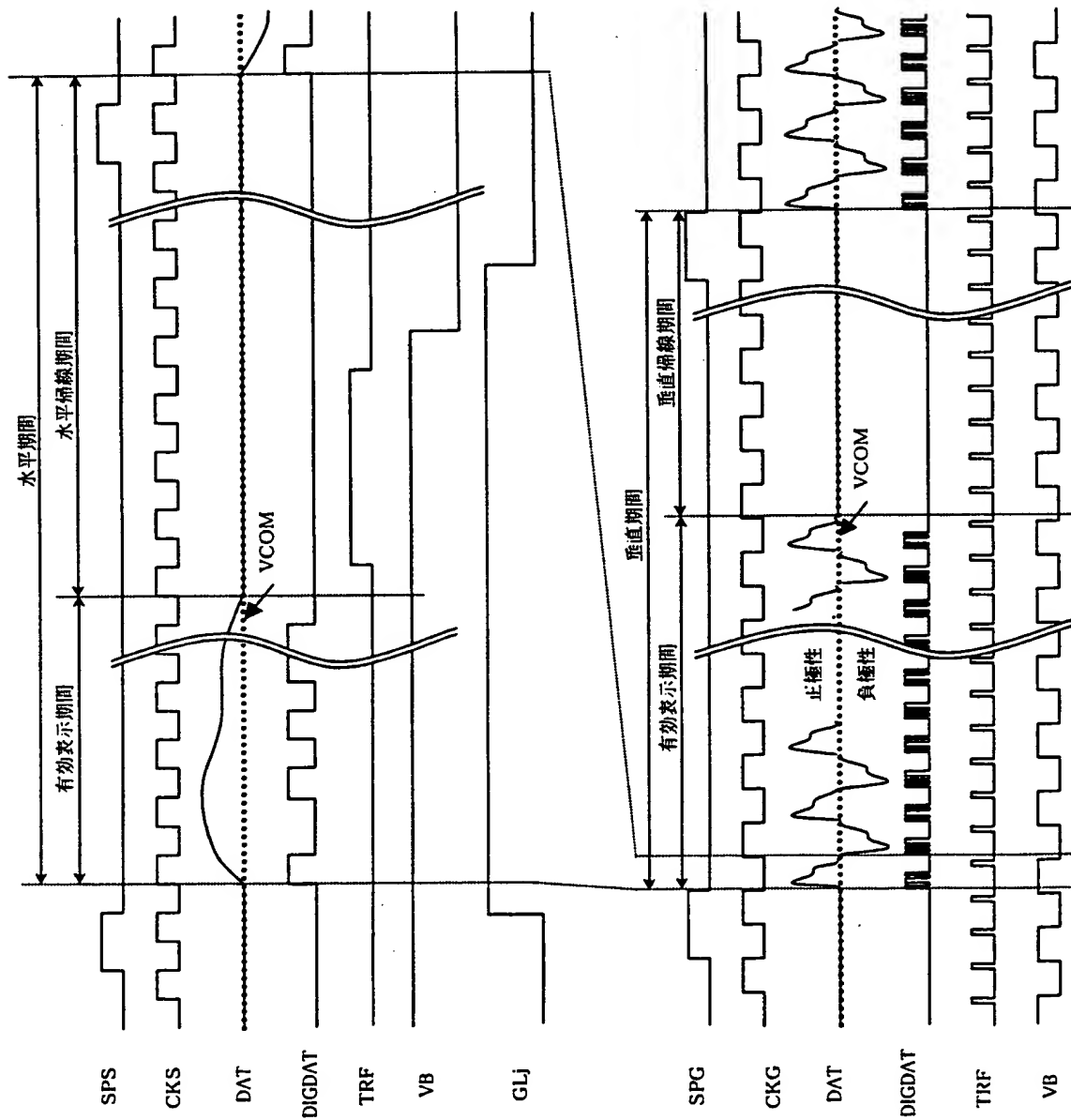
【図 18】



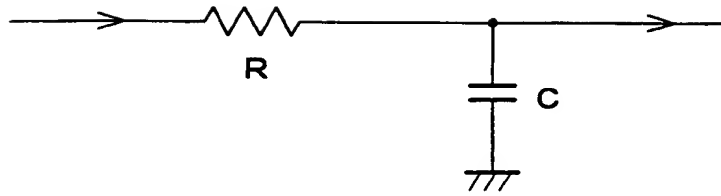
【図 19】



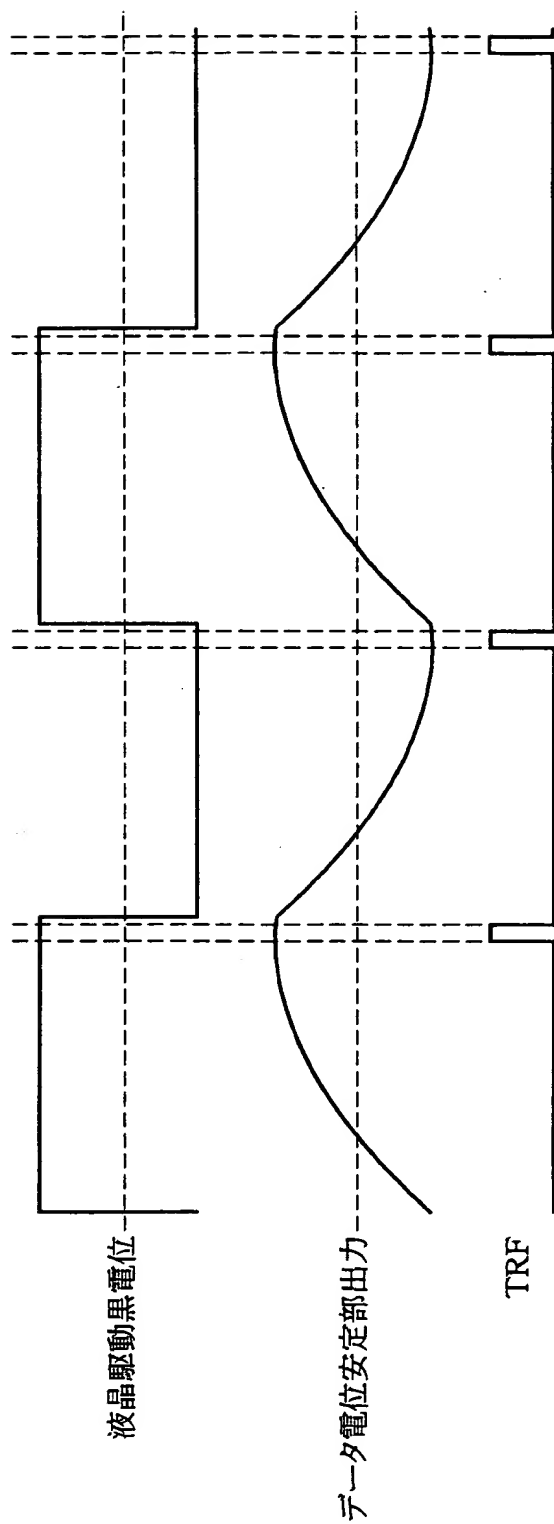
【図 20】



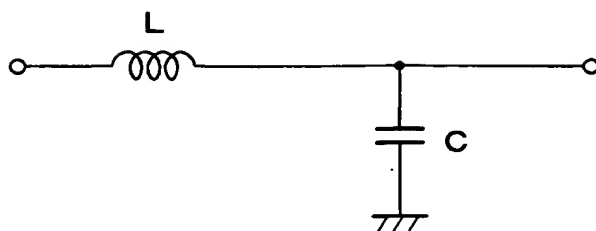
【図 2 1】



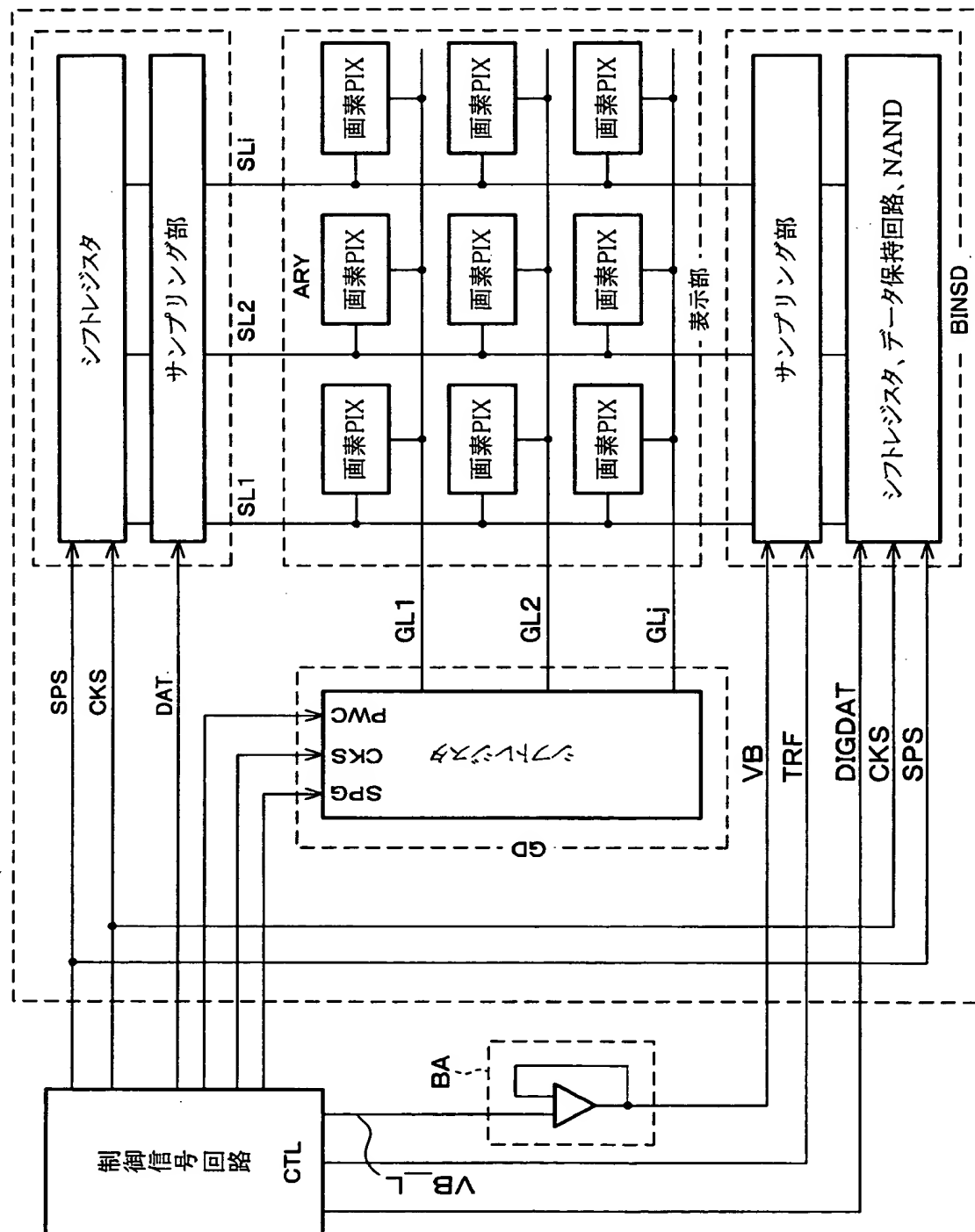
【図 2 2】



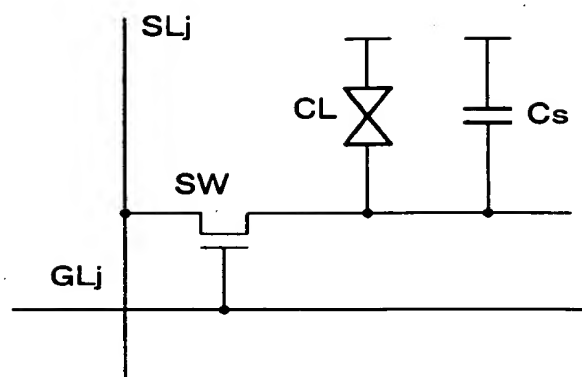
【図 2 3】



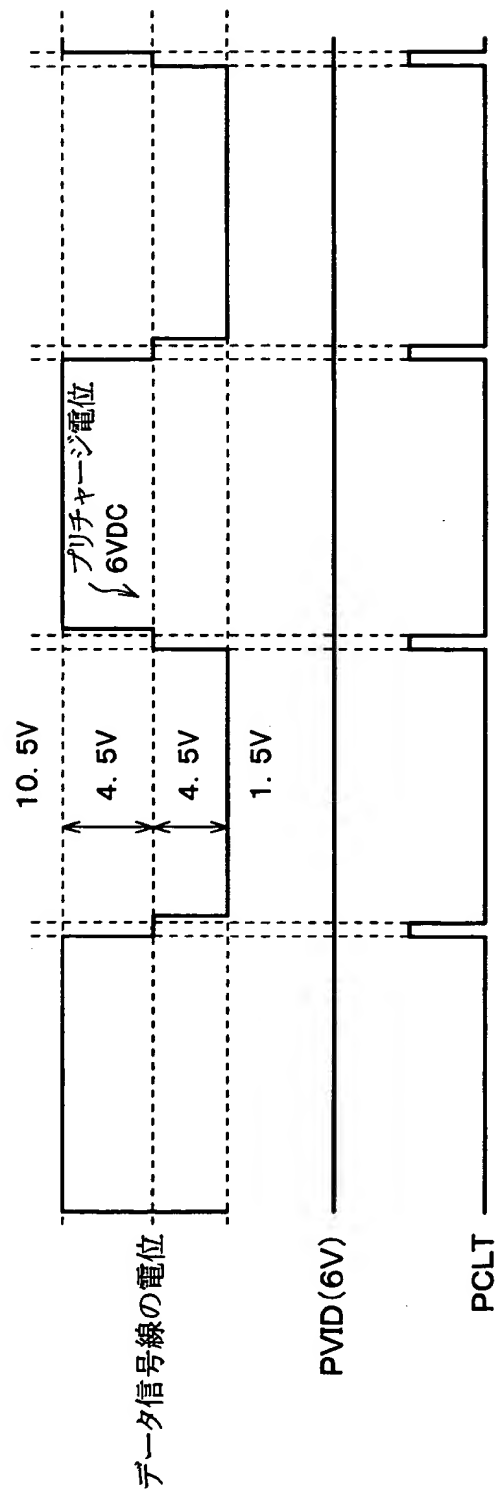
【图 24】



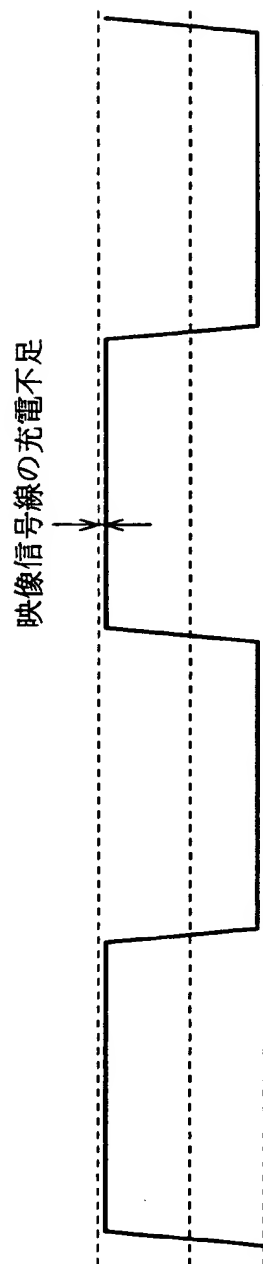
【図 2 5】



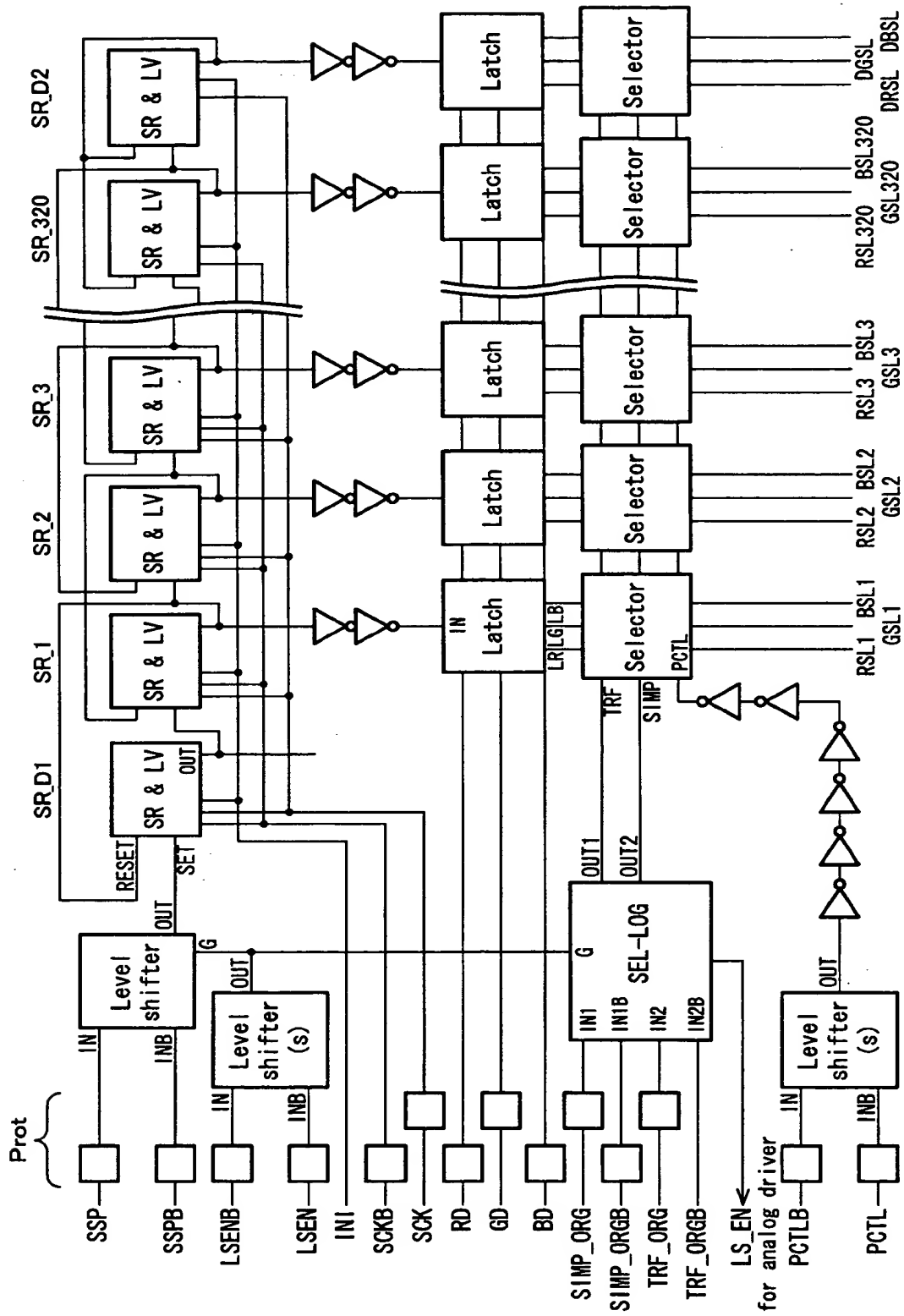
【図 26】



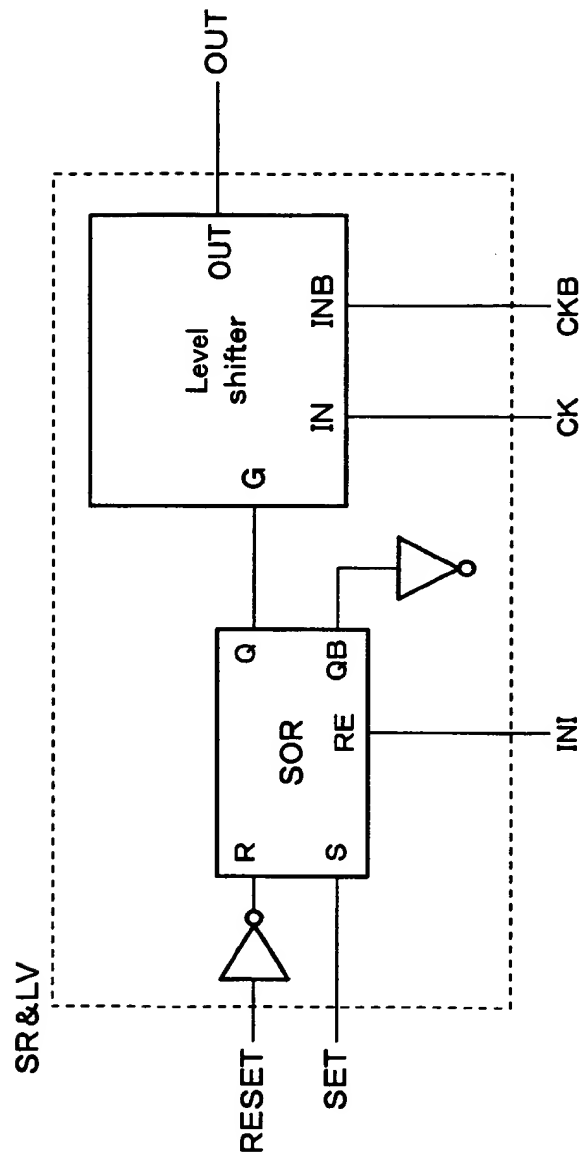
【図 2 7】



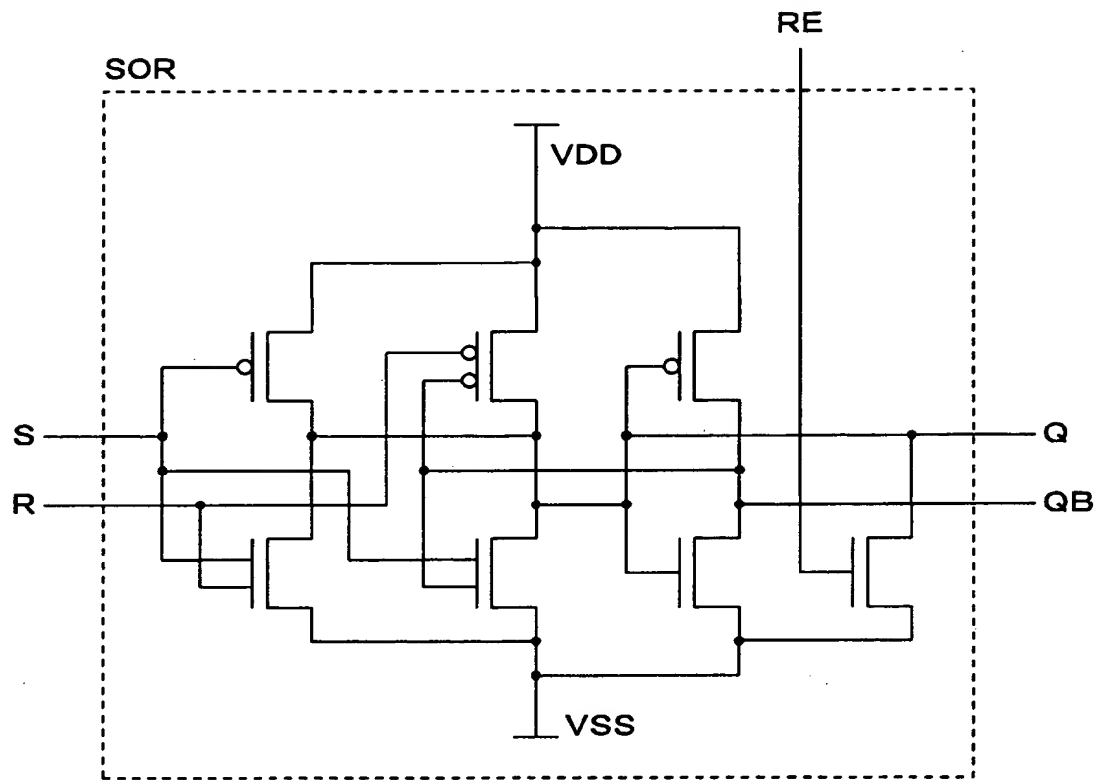
【図 28】



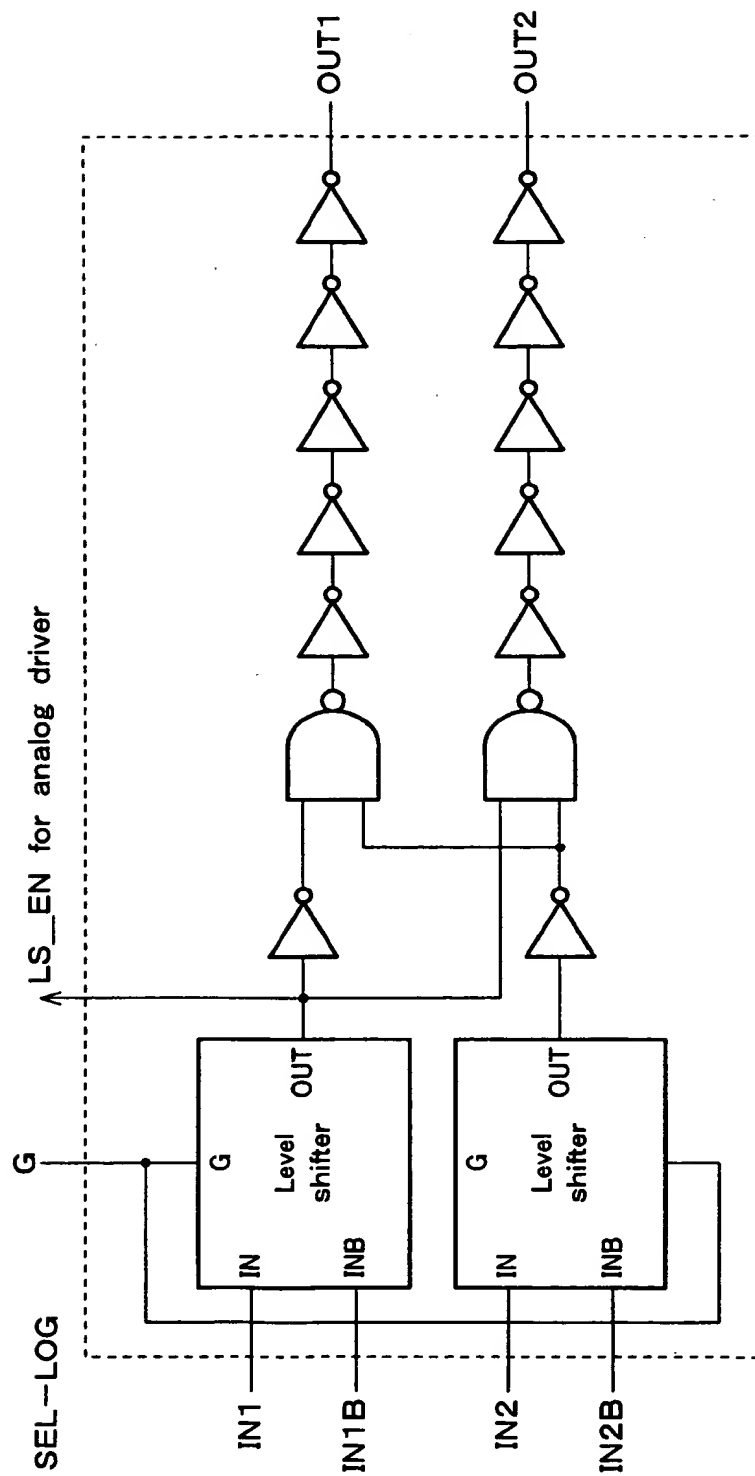
【図 29】



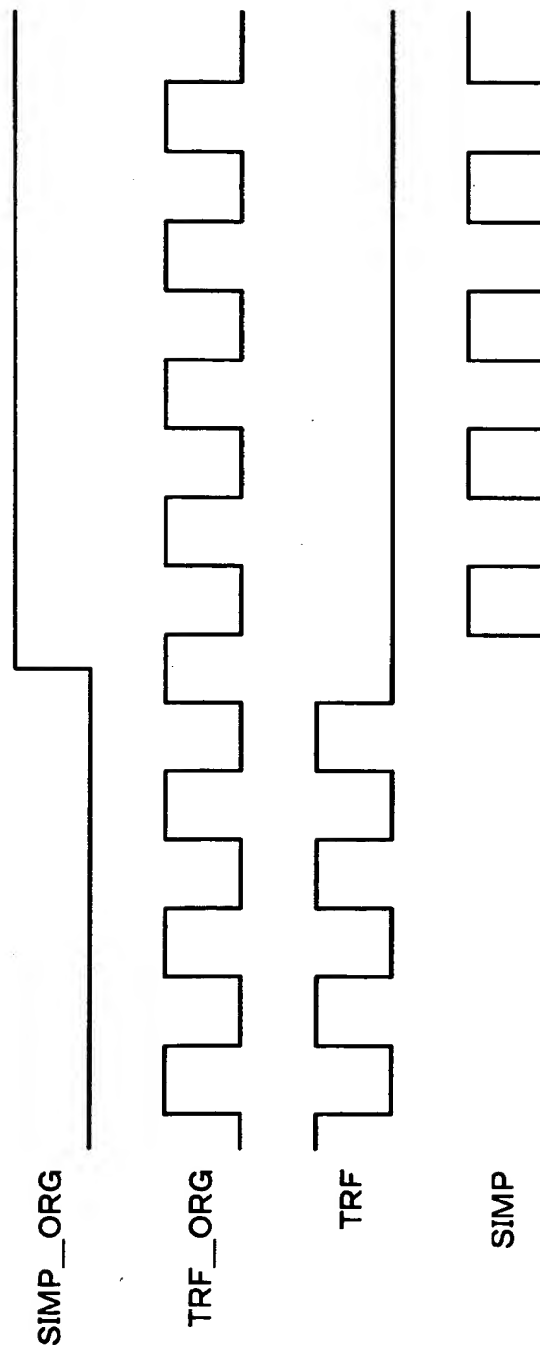
【図 30】



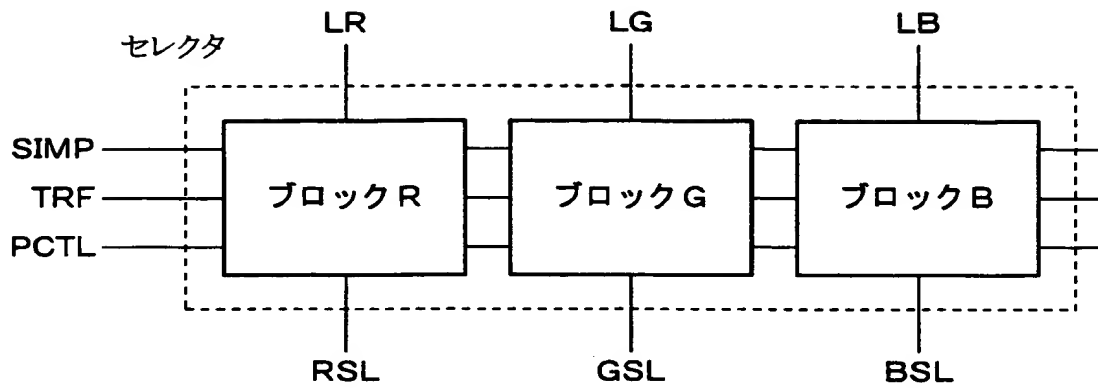
【図 31】



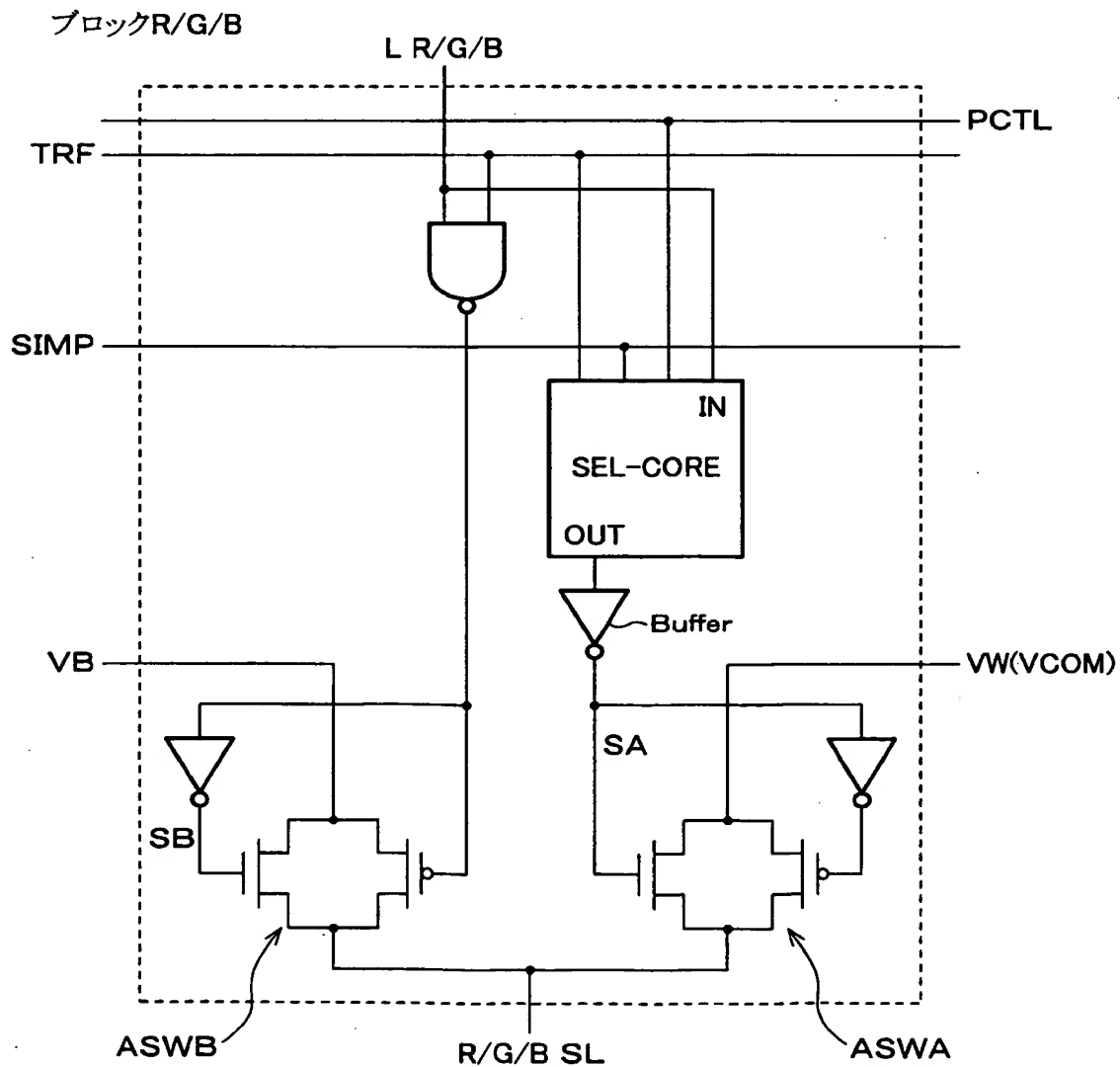
【図 3 2】



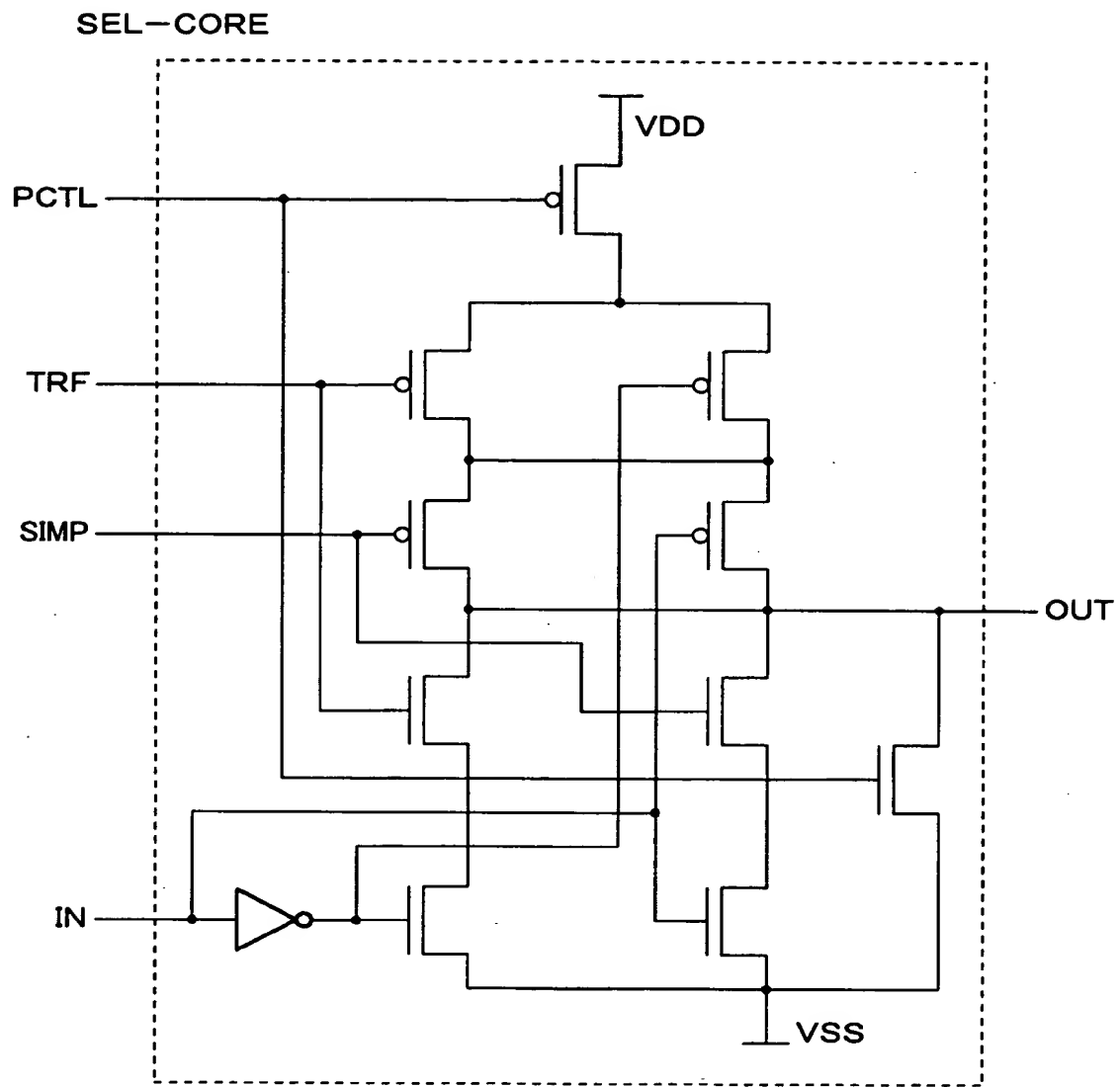
【図 3 3】



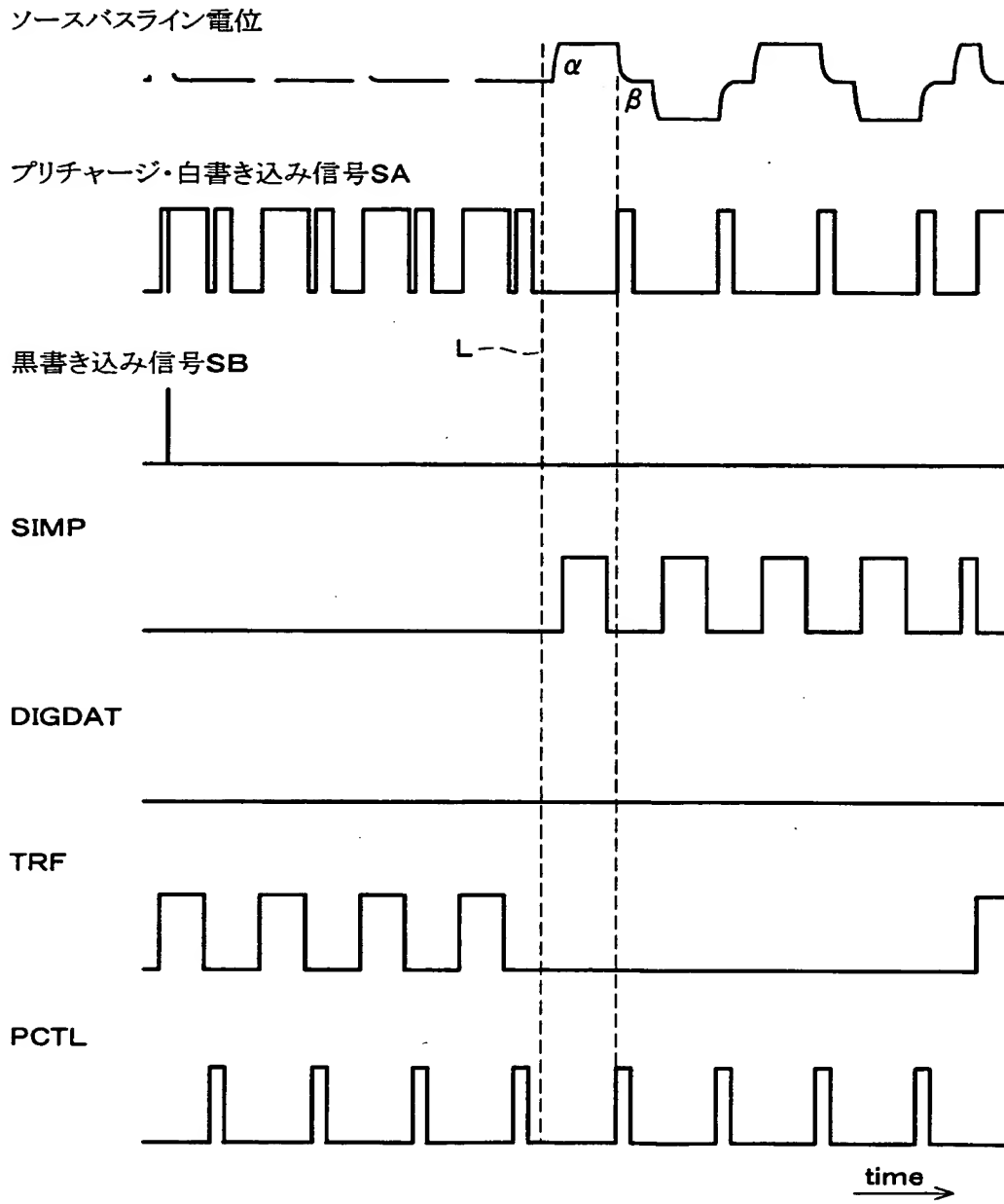
【図 3 4】



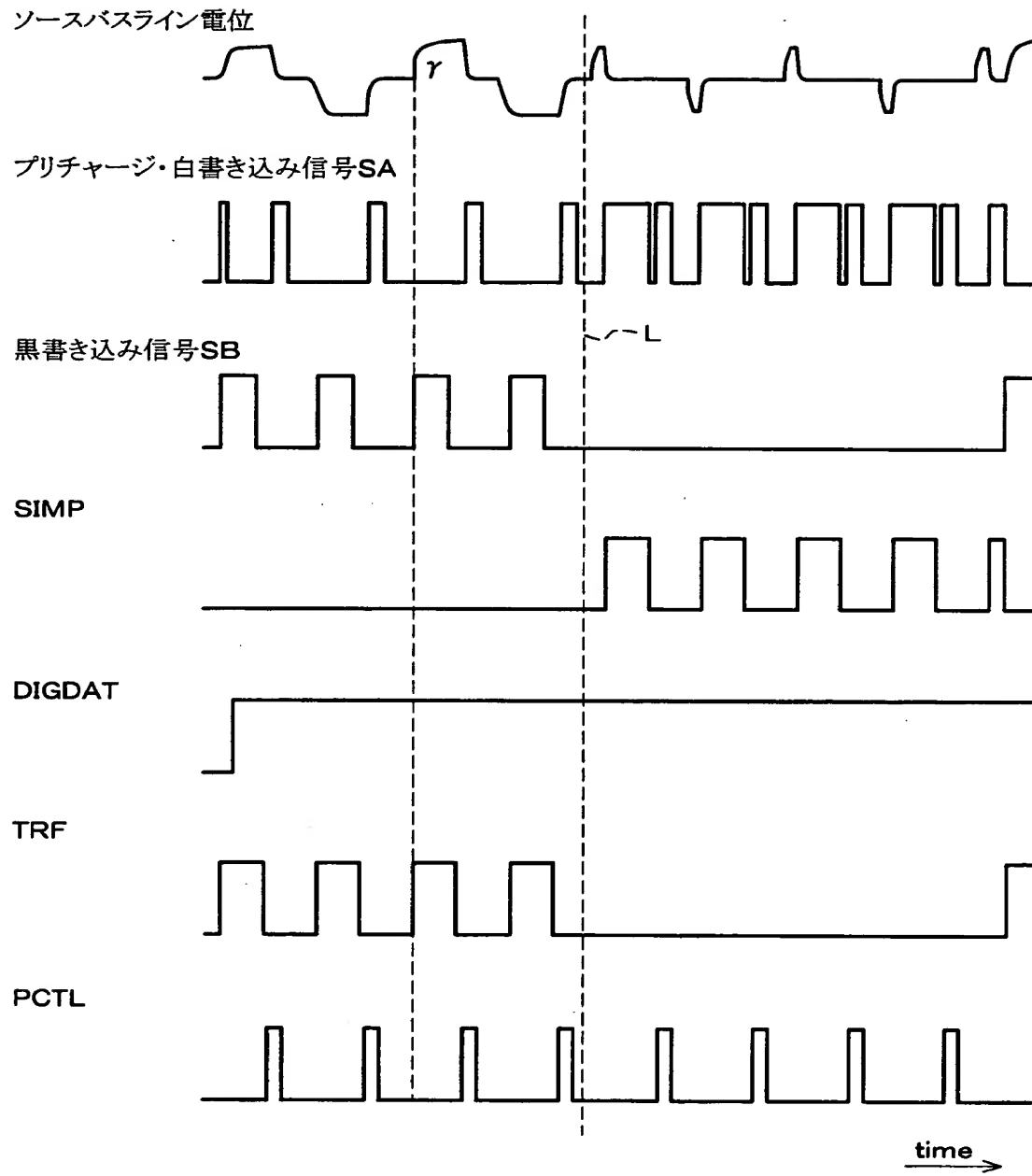
【図 35】



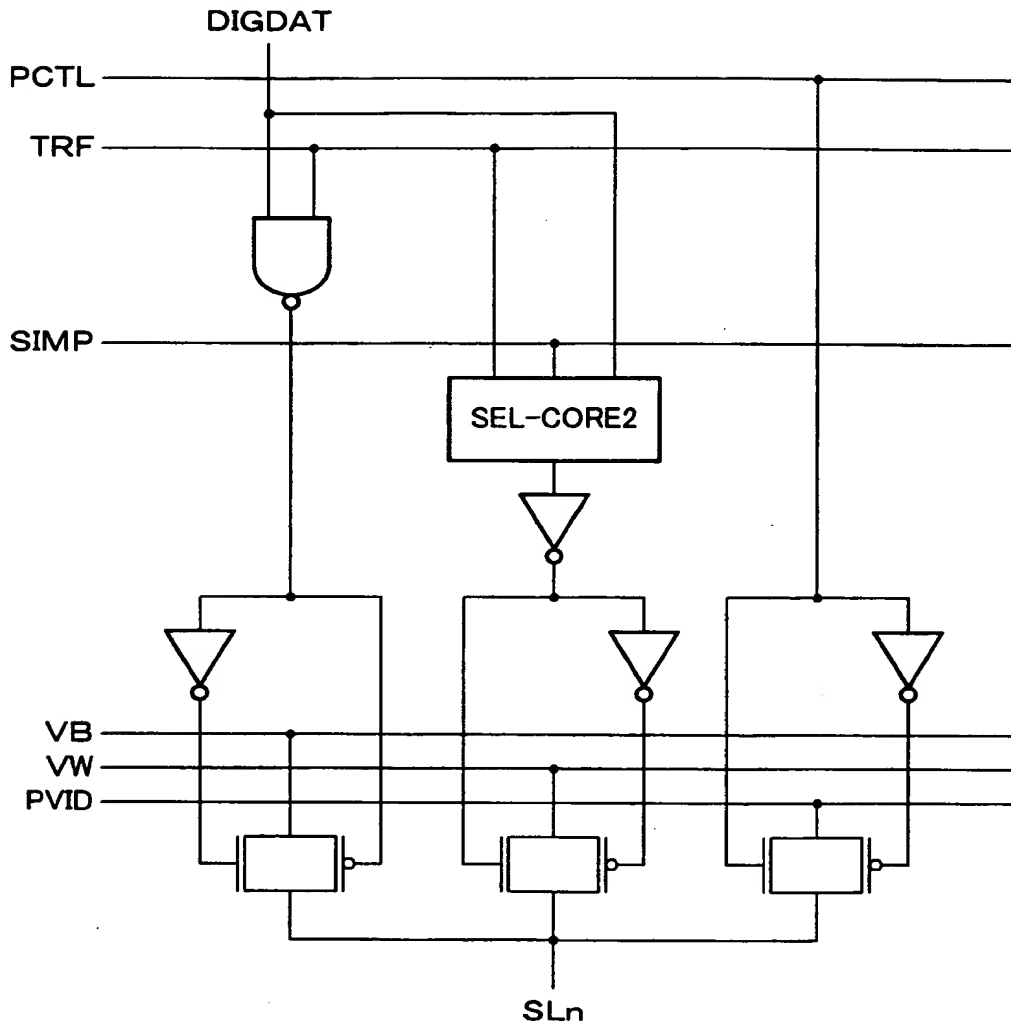
【図 3 6】



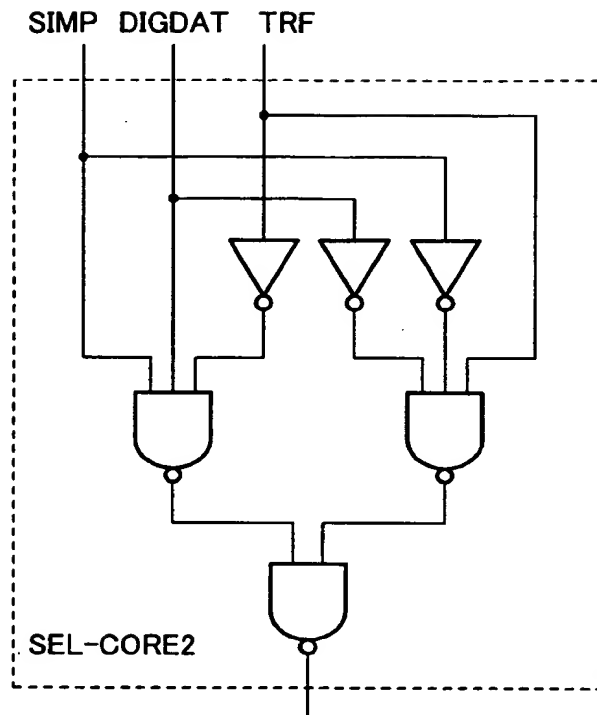
【図 37】



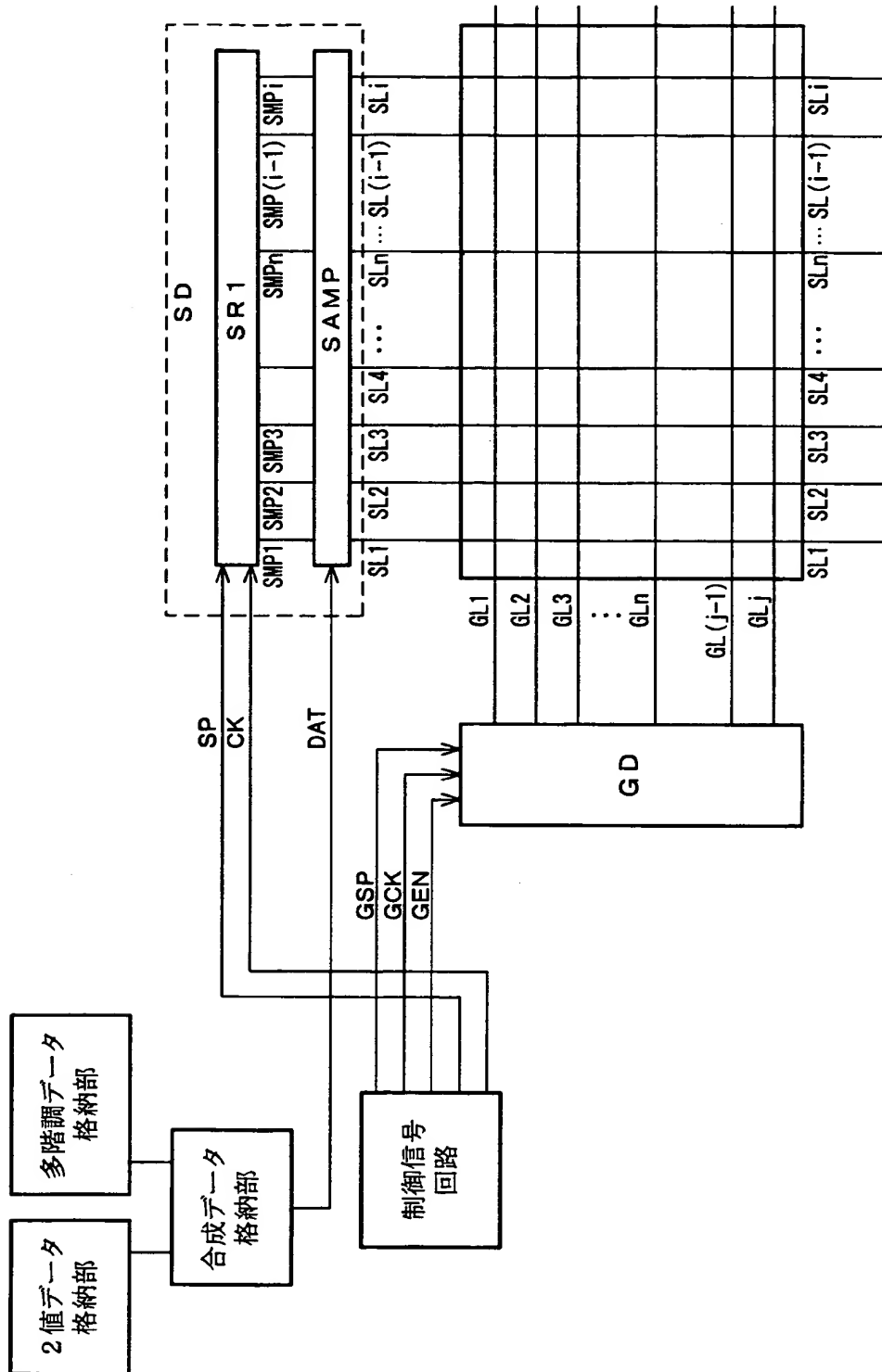
【図 38】



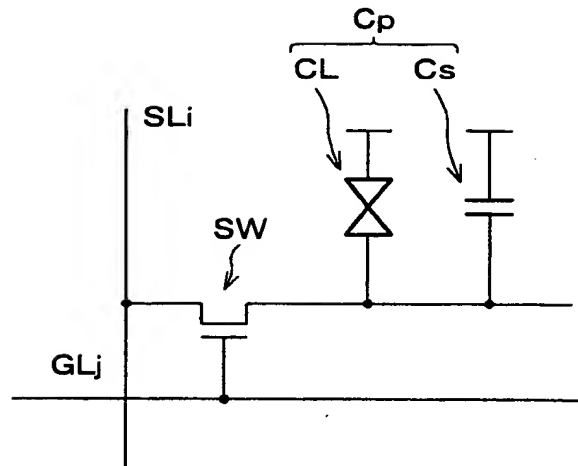
【図 39】



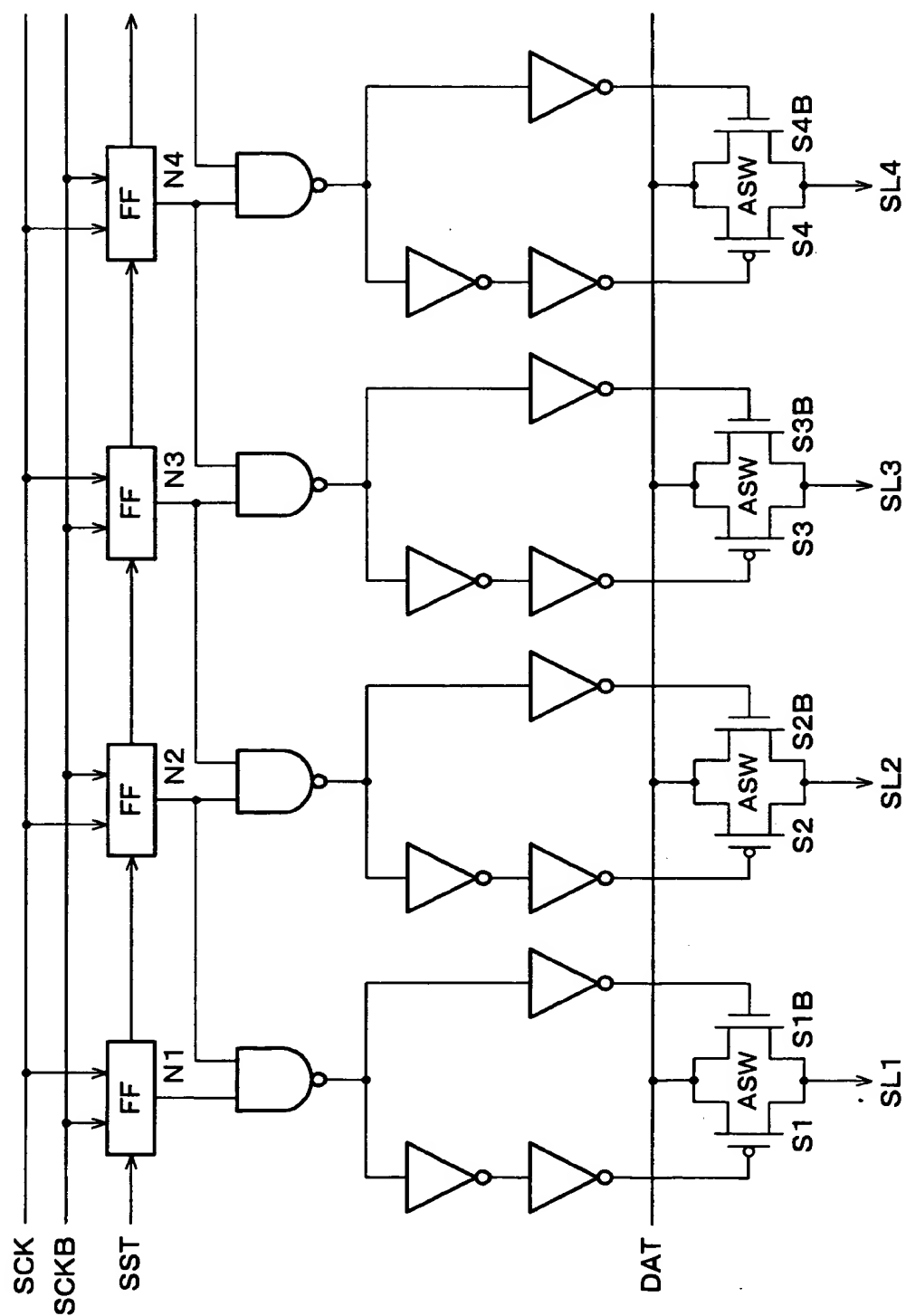
【図 40】



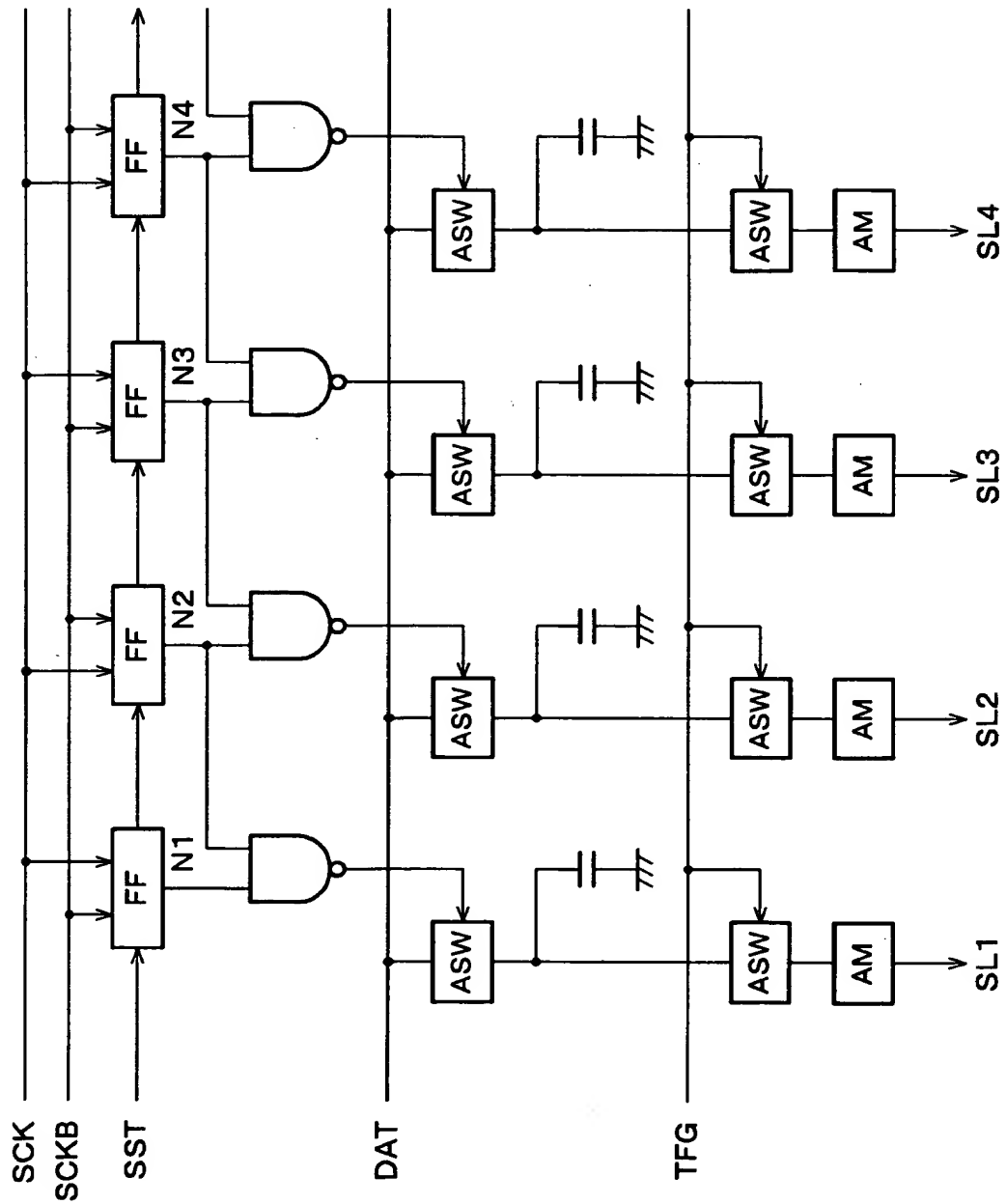
【図 4 1】



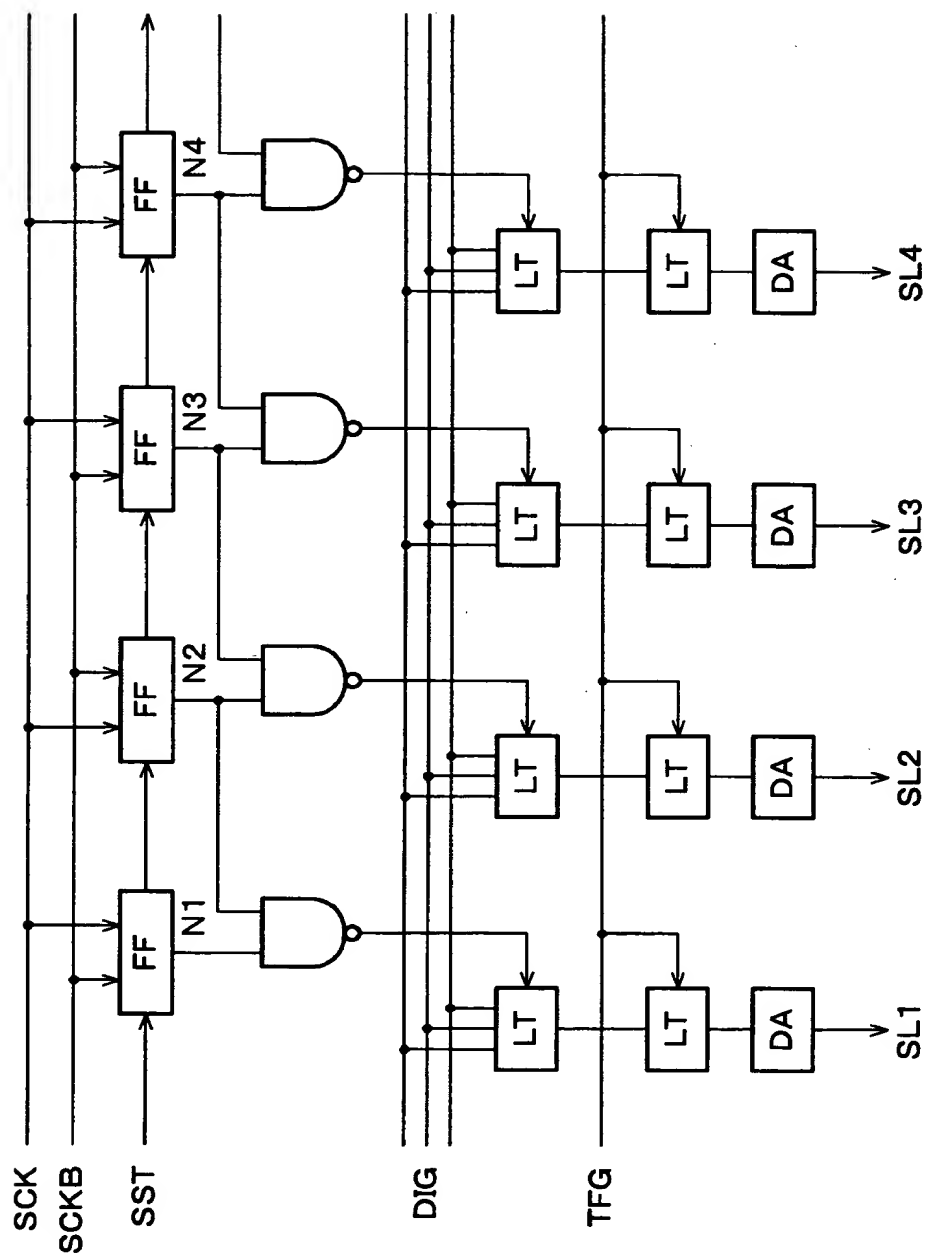
【図 4 2】



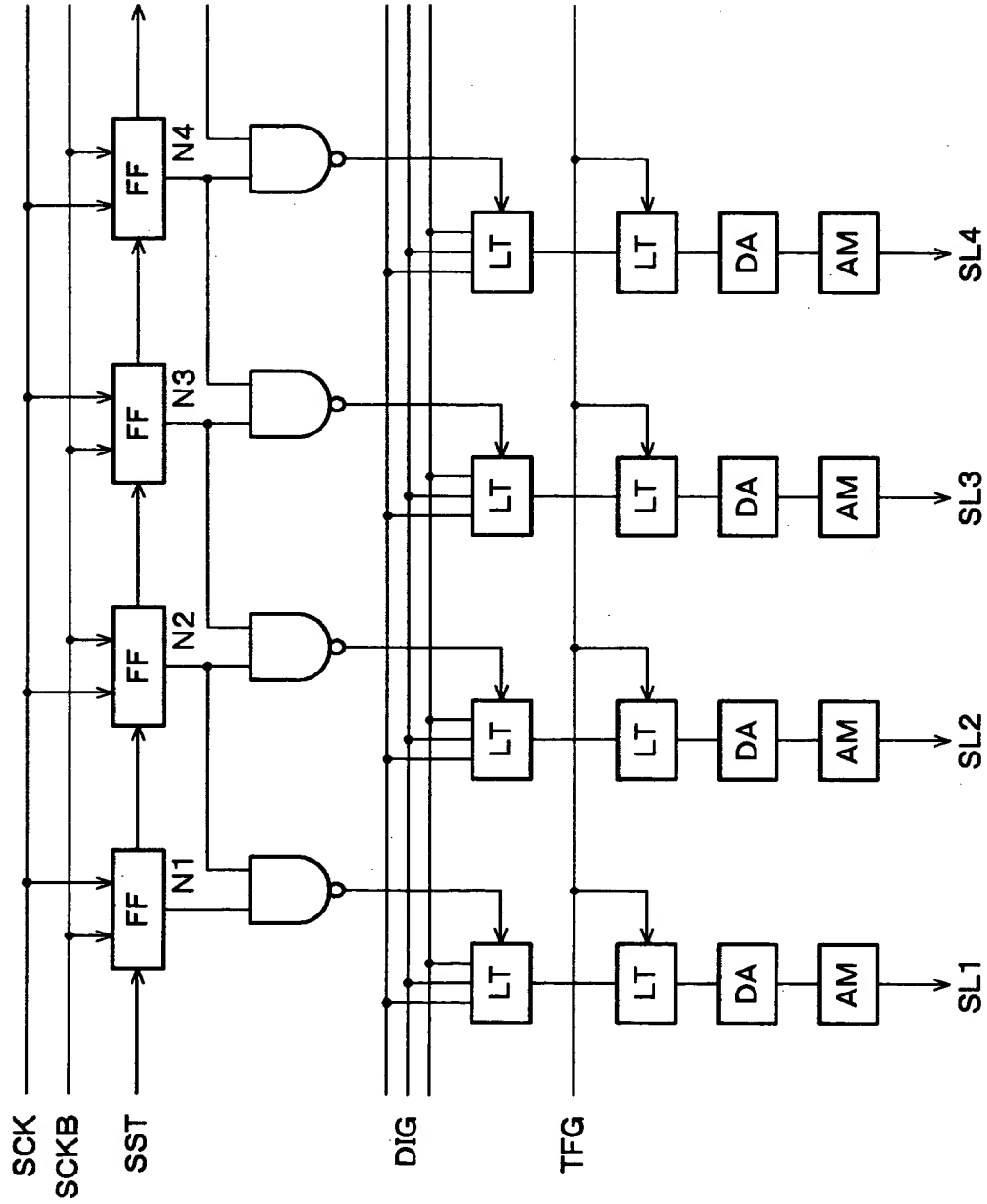
【図 4 3】



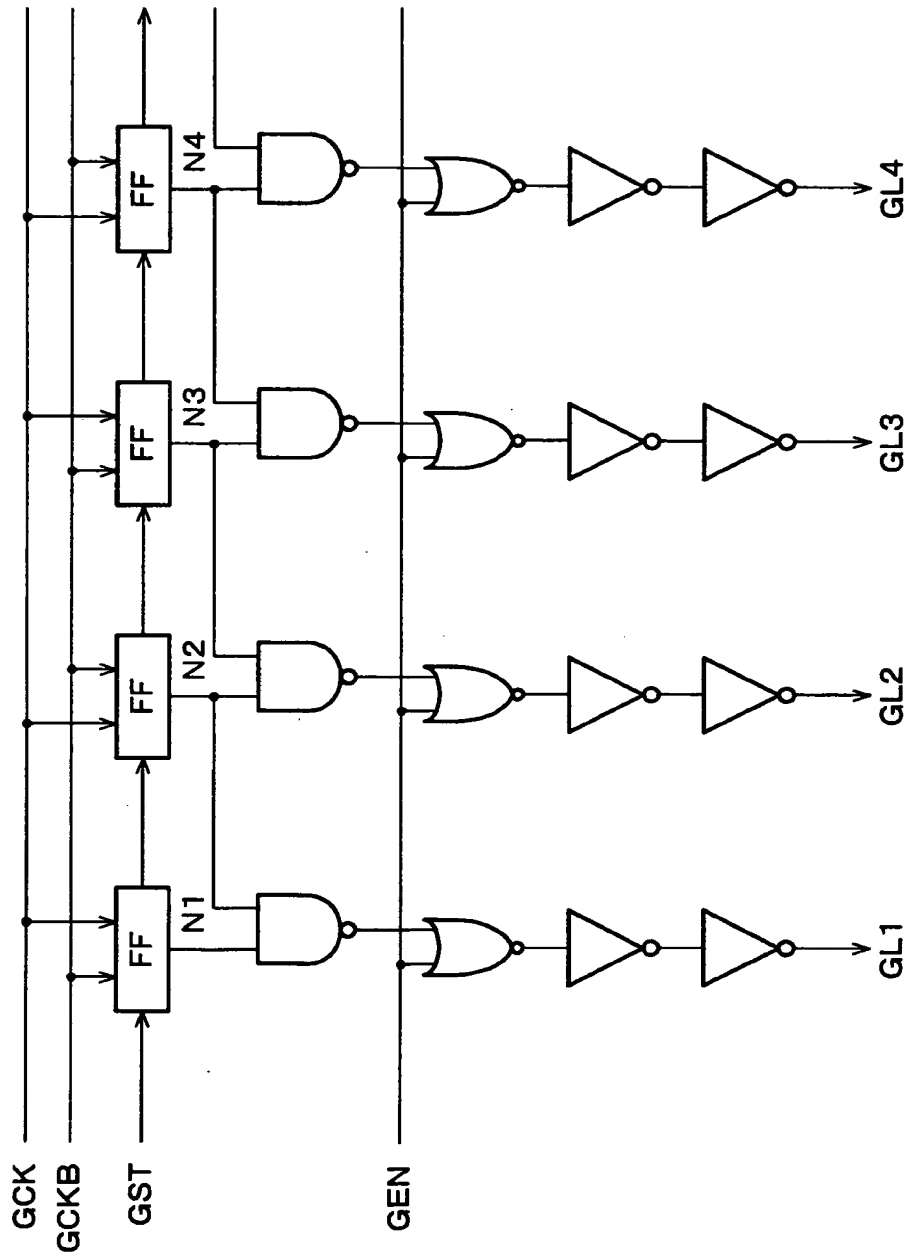
【図 4 4】



【図 4 5】



【図 4 6】



【書類名】 要約書

【要約】

【課題】 画像表示装置の使用時と待機時とでそれぞれの要求に合った駆動を実現する。また、複数の画像データを、予め合成することなく、重ねて表示できるようにする。

【解決手段】 複数のデータ信号線駆動回路のうち、2値データ信号線駆動回路 B I N S D は、所定のタイミングで動作するシフトレジスタ S R 2 と、そのシフトレジスタ出力に応じて別途入力される2値データ信号 D I G D A T をサンプリングして保持するデータ保持部 L a t c h と、その保持されたデータに応じて点灯用電位と非点灯用電位とを切り替えるデータ切替部 S E L と、そのデータ切替部 S E L の出力とデータ信号線との間に設けられて外部から入力される転送指示信号 T R F によって出力制御を行う出力制御部 C N T T R F とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.